

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Hideaki WATANABE

Group Art Unit: *

Application No.: Unknown

Examiner: Unknown

Filed: June 26, 2003

Attorney Dkt. No.: 024016-00063

For: CLOCK MULTIPLICATION CIRCUIT

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: June 26, 2003

Sir:

The benefit of the filing date(s) of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Foreign Application No. 2002-192559, filed July 1, 2002, in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM:cam

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年 7月 1日

出願番号
Application Number:

特願2002-192559

[ST.10/C]:

[JP2002-192559]

出願人
Applicant(s):

富士通株式会社

2002年12月27日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3102457

【書類名】 特許願

【整理番号】 0240657

【提出日】 平成14年 7月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/06

【発明の名称】 クロック通倍回路

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴァイエルエスアイ株式会社内

【氏名】 渡辺 英明

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100098431

【弁理士】

【氏名又は名称】 山中 郁生

【電話番号】 052-218-7161

【選任した代理人】

【識別番号】 100097009

【弁理士】

【氏名又は名称】 富澤 孝

【手数料の表示】

【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【プルーフの要否】 要

【書類名】 明細書
 【発明の名称】 クロック遅倍回路
 【特許請求の範囲】

【請求項1】

入力されたレファレンスクロック信号を遅倍した出力クロック信号を出力するクロック遅倍回路であって、

上記レファレンスクロック信号に基づいて与えられる所定の計数期間に上記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントしてカウント値を出力するカウンタと、

基準値と上記カウント値のいずれか一方から他方を差し引いた差分値を出力する差分器と、

上記差分値の積分値に対応するアナログ制御電圧を出力する制御電圧生成回路と、

上記アナログ制御電圧に応じた周波数の上記出力クロック信号を出力する電圧制御発振回路と、

を備えるクロック遅倍回路。

【請求項2】

請求項1に記載のクロック遅倍回路であって、

前記カウンタは、前記レファレンスクロック信号のハイレベル期間に前記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントし、このハイレベル期間のカウント値を出力すると共に、このハイレベル期間に続くローレベル期間に上記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントし、このローレベル期間のカウント値を出力すると共に、このローレベル期間に続くハイレベル期間に上記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントするというようにして、上記ハイレベル期間及び上記ローレベル期間の終了毎にカウント値を得るカウンタであり、

前記カウンタ、差分器、制御電圧生成回路、及び電圧制御発振回路は、

上記ハイレベル期間にカウントして得た上記カウント値が1つ前に得たカウント値から変化したとき、上記ハイレベル期間が終了してから次のハイレベル期

間までに、上記出力クロック信号の周波数が変化する応答性を有し、かつ、

上記ローレベル期間にカウントして得た上記カウント値が1つ前に得たカウント値から変化したとき、上記ローレベル期間が終了してから次のローレベル期間までに、上記出力クロック信号の周波数が変化する応答性を有するクロック通倍回路。

【請求項3】

請求項1または請求項2に記載のクロック通倍回路であって、

前記カウンタは、前記出力クロック信号の立ち上がりエッジ及び立ち下がりエッジの両者を前記有効遷移エッジとする
クロック通倍回路。

【請求項4】

請求項1～請求項3のいずれか1項に記載のクロック通倍回路であって、

前記差分器と前記制御電圧生成回路との間に、前記差分値を所定倍して上記制御電圧生成回路に入力する乗算器を備える
クロック通倍回路。

【請求項5】

請求項1～請求項4のいずれか1項に記載のクロック通倍回路であって、

前記差分器は、前記基準値を変更可能としてなる
クロック通倍回路。

【請求項6】

請求項1～請求項5のいずれか1項に記載のクロック通倍回路であって、

前記制御電圧生成回路は、
前回得られた積分値に前記差分値を加えて新たな積分値とする積分器と、
上記積分値を前記アナログ制御電圧に変換するDA変換回路と、を含む
クロック通倍回路。

【請求項7】

請求項6に記載のクロック通倍回路であって、

このクロック通倍回路の電源投入後またはリセット後に前記積分器で用いる初期積分値を取得する初期積分値取得手段を備える

クロック倍増回路。

【請求項8】

請求項7に記載のクロック倍増回路であって、

前記初期積分値取得手段は、

前記積分器からの前記積分値に代えて、疑似積分値を前記DA変換回路に入力する疑似積分値発生手段と、

前記基準値と前記計数期間に上記疑似積分値に基づいて出力された前記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントして得られた疑似カウント値とを用いて算出した疑似差分値が、0を含む所定数値範囲内に属するか否かを判断し、

上記疑似差分値が上記所定数値範囲に属しないときには、上記疑似積分値発生手段をして、次に算出される疑似差分値が現在の疑似差分値より0に近づくように上記疑似積分値を変更して前記DA変換回路に入力させ、

上記疑似差分値が上記所定数値範囲に属するときには、現在の疑似積分値を前記初期積分値とする

判断手段と、を備える

クロック倍増回路。

【請求項9】

請求項7に記載のクロック倍増回路であって、

前記初期積分値取得手段は、

前記積分器で算出した前記積分値を順次上書き記憶する不揮発性メモリである

クロック倍増回路。

【請求項10】

入力されたレファレンスクロック信号を倍増した出力クロック信号を出力するクロック倍増回路であって、

上記レファレンスクロック信号に基づいて与えられる所定の計数期間に上記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントしてカウント値を出力するカウンタと、

上記出力クロック信号を出力する発振回路と、
上記カウント値が所定の基準値と等しくなるように、上記発振回路における上
記出力クロック信号の周波数を制御する発振制御回路と、
を備えるクロック倍増回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力されたレファレンスクロック信号を倍増した周波数を有する出
力クロック信号に変換するクロック倍増回路に関する。

【0002】

【関連技術】

入力されたレファレンスクロック信号を用い、これを倍増した周波数を有する
出力クロック信号に変換するクロック倍増回路としては、倍増PLL回路が知
られている。このような倍増PLL回路としては、例えば、図1に示すように、位
相比較回路110、チャージポンプ120、ローパスフィルタ（以下単に、LP
Fともいう）130、電圧制御発振回路（以下単に、VCOともいう）140、
及び分周器150を有する倍増PLL回路100が知られている。この倍増PLL
回路100では、分周器100の分周信号SDとレファレンスクロック信号SR
との位相を位相比較回路110で比較し、位相比較結果であるアップ信号お
よびダウン信号に応じた電流をチャージポンプ120から出力させ、これをLPF
130で積分して電圧出力をVCO140に入力することにより、これに応じた周波数
の出力クロック信号STを出力する。分周器150は出力クロック信号STを分周す
る。かくして、レファレンスクロック信号SRに対して、分周比（1/M）の逆数である倍
増数Mを有する出力クロック信号STが出力される。また、この出力クロック信号STは、レ
ファレンスクロック信号SRの1周期毎に1回ずつ位相比較してPLL制御を行うことで、その周波数
精度が維持されることになる。

【0003】

【発明が解決しようとする課題】

しかしながら、この倍 PLL回路100では、位相比較回路110から、分周信号SDとレファレンスクロック信号SRとの位相差に応じたパルス幅を持つアップ信号あるいはダウン信号が出力され、これらの信号をアナログ的に処理してVCO140の周波数を制御している。このため、この倍 PLL回路のループゲインその他の回路特性を適切な状態に調整するには、位相比較回路110、チャージポンプ120、LPF130、VCO140、分周器150などのアナログ回路の特性を調整する必要があり、面倒であった。また、ロックアップタイムを短縮させたいという要望もあった。

本発明は、かかる問題点に鑑みてなされたものであって、簡単な構成を有するクロック倍 PLL回路を提供することを目的とする。また、回路の特性調整が容易なクロック倍 PLL回路を提供することを目的とする。さらには、ロックアップタイムも短縮できるクロック倍 PLL回路を提供することを目的とする。

【0004】

【課題を解決するための手段、作用及び効果】

しかしてその解決手段は、入力されたレファレンスクロック信号を倍 PLLした出力クロック信号を出力するクロック倍 PLL回路であって、上記レファレンスクロック信号に基づいて与えられる所定の計数期間に上記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントしてカウント値を出力するカウンタと、基準値と上記カウント値のいずれか一方から他方を差し引いた差分値を出力する差分器と、上記差分値の積分値に対応するアナログ制御電圧を出力する制御電圧生成回路と、上記アナログ制御電圧に応じた周波数の上記出力クロック信号を出力する電圧制御発振回路と、を備えるクロック倍 PLL回路である。

【0005】

本発明のクロック倍 PLL回路では、カウント値という数値データ（デジタル値）を用いて、差分値を算出し、さらにアナログ制御電圧を生成する。このように、数値（デジタル値）処理できるので、簡単な構成で済み、処理が容易である。さらに、数値データであるので加減乗除などの数値処理が簡単にできるから、アナログ回路で信号処理を行う場合に比して、クロック倍 PLL回路の特性の調整が容易である。

【0006】

本発明のクロック倍増回路の原理を以下に簡単に説明する。前提として、基準値からカウント値を差し引いて差分値を得る場合であって、 $V-f$ 特性が正の傾きの特性、つまりアナログ制御電圧を大きくすると周波数が高くなる特性を有するVCOを用いたと仮定する。

まず、このクロック倍増回路において、出力クロック信号の周波数が適正な場合より低めだった場合を考える。すると、出力クロック信号STの周波数が適正であった場合に比して得られるカウント値が小さくなるので、基準値からカウント値を引いた差分値は正の値となる。すると、この差分値の積分値に対応するアナログ制御電圧も大きくなる。このため、VCOの出力クロック信号は周波数が高くなる方向に制御される。つまり、出力クロック信号の周波数が、適正值が近づく方向に修正される。

【0007】

一方、出力クロック信号の周波数が適正值より高めになると、周波数が適正な場合に比してカウント値が大きくなるので、基準値からカウント値を引いた差分値は負の値となる。するとこの差分値の積分値に対応するアナログ制御電圧が小さくなる。このため、VCOの出力クロック信号は周波数が低くなる方向に制御される。つまり、この場合にも、出力クロック信号の周波数が、適正值が近づく方向に修正される。

このようにして、このクロック倍増回路では、出力クロック信号の周波数が適正值となるように、つまり、カウント値が適切な値になるように制御される。さらに具体的には、このクロック倍増回路では、基準値とカウント値との差分値が0になるように、つまり、基準値とカウント値とが等しくなるように制御される。

【0008】

なお、本明細書において、有効遷移エッジとは、信号がレベル反転して、ローレベルからハイレベルへの立上がる、あるいは、ハイレベルからローレベルへ立下がるときに生じる信号のエッジ（急変部）のうち、計数において有効に扱われるエッジをいう。例えば、方形波状の信号を用いるに当たり、この信号の立上がり

リエッジをカウントするが、この信号の立下がリエッジはカウントしない場合には、信号の立ち上がりエッジと立ち下がリエッジのうち、この立ち上がりエッジが有効遷移エッジとなる。逆に、信号の立下がリエッジをカウントするが、この信号の立上がりエッジはカウントしない場合には、立下がリエッジが有効遷移エッジとなる。また、信号の立上がりエッジをカウントする一方、この信号の立下がリエッジもカウントする場合には、立上がりエッジと立下がリエッジの両方が有効遷移エッジである。

【0009】

また、計数期間とは、カウンタで有効遷移エッジが幾つ存在していたかをカウントする期間をいう。

レファレンスクロック信号に基づいて与えられる所定の計数期間としては、例えば、以下のものが挙げられる。①レファレンスクロック信号のハイレベル期間。②レファレンスクロック信号のローレベル期間。③レファレンスクロック信号のハイレベル期間及びローレベル期間。④レファレンスクロック信号の1周期（立ち上がりタイミングから次の立ち上がりタイミングまでの期間、または、立ち下がリタイミングから次の立ち下がリタイミングまでの期間）。⑤レファレンスクロック信号のm周期（mが2以上の整数）。換言すると、ハイレベル期間とローレベル期間のペア複数ヶ分の期間。⑥レファレンスクロック信号のm周期（mが2以上の整数）+その前または後のハイレベル期間。換言すると、ハイレベル期間m+1ヶとローレベル期間mヶ分の期間。なお、レファレンスクロック信号のデューティ比が50%のときは、レファレンスクロック信号の $(m+1/2)$ 周期となる⑦レファレンスクロック信号のm周期（mが2以上の整数）+その前または後のローレベル期間。換言すると、ハイレベル期間mヶとローレベル期間m+1ヶ分の期間。

【0010】

また、差分器としては、基準値からカウント値を減算する場合と、カウント値から基準値を減算する場合とがあり得る。いずれを用いるかは、VCOの特性や、制御電圧生成回路での処理手法などに応じて、クロック倍増回路として適切に動作するように適宜決定する。

制御電圧生成回路には、例えば、 $V - f$ 特性が正の傾きを有するタイプや、負の傾きを有するタイプを採用することができる。いずれを用いるかは、差分器の特性や、制御電圧生成回路での処理手法などに応じて、クロック倍増回路として適切に動作するように適宜決定する。

【0011】

また、請求項1に記載のクロック倍増回路であって、前記カウンタは、前記レファレンスクロック信号のハイレベル期間またはローレベル期間のいずれかの計数期間に前記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントして前記カウント値を出力するカウンタであり、前記カウンタ、差分器、制御電圧生成回路、及び電圧制御発振回路は、上記カウント値が前回の値から変化したとき、上記計数期間の終了後、次の計数期間までの間に、上記出力クロック信号の周波数が変化する応答性を有するクロック倍増回路とするのが好ましい。

このクロック倍増回路では、カウンタ等の応答性が早く、次の計数期間までに周波数が変化するので、レファレンスクロック信号の1周期毎に出力クロック信号の制御を行うことができるから、簡単な構成でありながら、ジッタを抑制することができる。

なお、ハイレベル期間とは、レファレンスクロック信号がハイレベルとなっている期間をいう。また、ローレベル期間とは、レファレンスクロック信号がロー レベルとなっている期間をいう。

【0012】

さらに、請求項1に記載のクロック倍増回路であって、前記カウンタは、前記レファレンスクロック信号のハイレベル期間に前記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントし、このハイレベル期間のカウント値を出力すると共に、このハイレベル期間に続くローレベル期間に上記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントし、このローレベル期間のカウント値を出力すると共に、このローレベル期間に続くハイレベル期間に上記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントするというようにして、上記ハイレベル期間及び上記ローレベル期間の終了毎にカウント値を得るカウンタであり、前記カウンタ、差分器、制御電圧生成回路、及び電圧制御発振回路

は、上記ハイレベル期間にカウントして得た上記カウント値が1つ前に得たカウント値から変化したとき、上記ハイレベル期間が終了してから次のハイレベル期間までに、上記出力クロック信号の周波数が変化する応答性を有し、かつ、上記ローレベル期間にカウントして得た上記カウント値が1つ前に得たカウント値から変化したとき、上記ローレベル期間が終了してから次のローレベル期間までに、上記出力クロック信号の周波数が変化する応答性を有するクロック通倍回路とすると良い。

【0013】

本発明のクロック通倍回路では、カウンタ等の応答性が早く、ハイレベル期間から次のハイレベル期間まで、及び、ローレベル期間から次のローレベル期間までに周波数が変化するので、レファレンスクロック信号の1周期毎に2回、出力クロック信号の周波数制御ができる。このため、簡単な構成でありながら、レファレンスクロック信号の1周期毎に周波数制御を行う前述のクロック通倍回路に比較し、出力クロック信号に生じるジッタを抑制することができる。

【0014】

さらに、上記いずれか1項に記載のクロック通倍回路であって、前記カウンタは、前記計数期間の終了後、前記出力クロック信号に同期して前記カウント値を出力し、前記差分器は、前記計数期間の終了後、前記出力クロック信号に同期して前記差分値を出力し、前記制御電圧生成回路は、前記計数期間の終了後、前記出力クロック信号に同期して前記アナログ制御電圧を出力するクロック通倍回路とするのが好ましい。

このクロック通倍回路では、カウンタ等を出力クロック信号に同期して動作させるので、カウンタ等を動作させるためのクロック信号源を別途用意する必要がなく、さらに、簡易な構造となし得る。

【0015】

さらに、上記いずれかに記載のクロック通倍回路であって、前記カウンタは、前記出力クロック信号の立ち上がりエッジ及び立ち下がりエッジの両者を前記有効遷移エッジとするクロック通倍回路とすると良い。

【0016】

本発明のクロック通倍回路では、有効遷移エッジとして、立ち上がりエッジと立ち下がりエッジの両方を用いる。つまり、カウンタは、レファレンスクロック信号の計数期間内に、出力クロック信号の立ち上がりエッジと立ち下がりエッジの合計が幾つあったかをカウントする。このため、有効遷移エッジとして、片エッジ（立ち上がりエッジまたは立ち下がりエッジ）を用いる場合に比して、許容される出力クロック信号の周波数のジッタを、半分程度に抑えることができる。

【0017】

さらに、上記いずれか1項に記載のクロック通倍回路であって、前記差分器と前記制御電圧生成回路との間に、前記差分値を所定倍して上記制御電圧生成回路に入力する乗算器を備えるクロック通倍回路とすると良い。

【0018】

本発明のクロック通倍回路では、差分値が数値であるため、これを所定倍するという簡単な数値操作で、このクロック通倍回路のループゲインを容易に調整することができる。

具体的には、差分値を、1/2倍、1/3倍というように小さくするとループゲインを低下させることができる。すると、外乱などによる変化に対する応答性を低下させることができ、外乱等があっても周波数ロックが外れにくくすることができる。逆に、2倍、3倍…というように大きくするとループゲインを増加させることができる。すると、応答性が向上する。また、ロックアップタイムが早くなる。但し、倍率を大きくしすぎると、外乱などに敏感に反応して周波数が急変し、周波数ロックが外れやすくなったり、出力クロック信号の周波数が振動変化（周期変化）する虞がある。従って、適切な倍率を選択すれば良い。

【0019】

さらに、請求項4に記載のクロック通倍回路であって、前記乗算器は、前記差分値を所定量ビットシフトするシフトレジスタによって構成されてなるクロック通倍回路とするのが好ましい。

このクロック通倍回路では、乗算器としてシフトレジスタを用いる。乗算器の倍率として、1/2倍、1/4倍等、あるいは、2倍、4倍等を選択する場合には、このようにシフトレジスタのビットシフトを用いることにより、容易に乗算

を実現することができ、より簡易な構成となす事ができる。

【0020】

さらに、請求項4に記載のクロック通倍回路であって、前記乗算器は、その倍率を可変としてなるクロック通倍回路とするのが好ましい。

このクロック通倍回路では、乗算器の倍率が可変であるので、適宜倍率を選択してループゲインを変更することができる。なお、乗算器の倍率が可変としてなるものには、倍率を内部的（自動的）に変更できるようにしてなるものと、外部から変更のための信号、あるいはこのような信号と倍率とを与えて、倍率を変更するものとが挙げられる。

【0021】

さらに上記クロック通倍回路であって、前記乗算器の倍率を制御する倍率制御手段を備え、上記倍率制御手段は、引き込み期間には、上記乗算器の倍率を相対的に高くし、上記引き込み期間終了後には、上記乗算器の倍率を相対的に低くするクロック通倍回路とするのが好ましい。

このクロック通倍回路では、倍率制御手段を備え、出力クロック信号の周波数が所定値に安定するまでの期間である引き込み期間には倍率を高くし、その後の期間には倍率を低くする。このように各期間に適した倍率を用いるため、引き込み期間にはループゲインが大きくされて、応答性が速くなりロックアップタイムを短くできる。一方、その後の期間にはループゲインが小さくされて、外乱による周波数ロックが外れにくくされる。

【0022】

さらに、上記いずれか1項に記載のクロック通倍回路であって、前記差分器は、前記基準値を変更可能としてなるクロック通倍回路とすると良い。

【0023】

差分器で用いる基準値は、このクロック通倍回路の通倍数を決定する値である。具体的には、計数期間がレファレンスクロック信号1周期の期間に占める割合（デューティ比）の逆数Aと、基準値BNとの積が、このクロック通倍回路の通倍数になる。例えば、計数期間としてハイレベル期間を用い、レファレンスクロック信号のうち、ハイレベル期間が1周期の1/2（つまりデューティ比50%）

) であるとすると、この逆数 $A = 2$ と基準値 B_N との積 $A \cdot B_N = 2 B_N$ が通倍数 $M (= 2 B_N)$ に相当する。

本発明のクロック通倍回路では、基準値を変更可能としてなるので、基準値の変更により、クロック通倍回路の通倍数を適宜変更することができる。

なお、基準値を可変としてなるものには、基準値を内部的（自動的）に変更できるようにしてなるものと、外部から変更のための信号、あるいはこのような信号と基準値とを与えて、基準値を変更するものとが挙げられる。

【0024】

さらに、請求項5に記載のクロック通倍回路であって、前記差分器は、前記基準値を記憶する基準値記憶手段であって、外部から上記基準値をこの基準値記憶手段に記憶させ得るように構成されてなる基準値記憶手段を備えるクロック通倍回路とするのが好ましい。

このクロック通倍回路では、外部から基準値を記憶させうる構成とされた基準値記憶手段を有する。このため、使用用途に応じて、あるいは、使用途中で基準値を変更し、通倍数を適宜変更することができる。

【0025】

さらに上記いずれか1項に記載のクロック通倍回路であって、前記制御電圧生成回路は、前回得られた積分値に前記差分値を加えて新たな積分値とする積分器と、上記積分値を前記アナログ制御電圧に変換するDA変換回路と、を含むクロック通倍回路とすると良い。

【0026】

本発明のクロック通倍回路では、積分器で前回の積分値と差分値とを加えた値を新たな積分値を算出する。つまり加算回路を用いているので、容易に積分値を得ることができる。また、アナログ回路による積分回路（LPF）を用いる場合のように位相特性など回路特性の考慮が不要であり、簡易な構成で実現しうる。

また、カウント値から積分値まで、デジタル値として扱っているので、簡単なデジタル回路で構成することができ、特性の調整も容易である。

【0027】

さらに、上記クロック通倍回路であって、このクロック通倍回路の電源投入後

またはリセット後に前記積分器で用いる初期積分値を取得する初期積分値取得手段を備えるクロック通倍回路とすると良い。

【0028】

クロック通倍回路の電源投入後またはリセット後に、積分器が最初に用いる初期積分値が適切な値でないと、この初期積分値をD/A変換したアナログ制御電圧も適切な値でなくなる。すると、電圧制御発振回路で電源投入後またはリセット後の初期に発生する出力クロック信号も、目的とする周波数から大きく外れた周波数となる。このクロック通倍回路のフィードバック制御により、最終的には、レファレンスクロック信号の周波数に対し、所定の通倍数を持つ出力クロック信号となるように制御されるが、出力クロック信号の周波数の安定までに時間が掛かる。つまり、このような状態に安定するまでのロックアップタイムが長くなる。

また、初期積分値が適切でなく、初期に出力される出力クロック信号の周波数が低すぎると、カウンタ、差分器、VCOなどを出力クロック信号に同期させて動作させる場合には、これらの動作が遅れることになり、極端な場合には、次の計数期間までに出力クロック信号の周波数が変化しない場合などが考えられ、適切に制御できない虞がある。

【0029】

これに対して、本発明のクロック通倍回路では、初期積分値取得手段により初期積分値を取得するので、電源投入後またはリセット後の当初から適切な積分値を用いることで、当初から目的とする周波数、あるいはこれに近い周波数の出力クロック信号を発生させることができ、短い時間で周波数を安定させることができる。つまり、ロックアップタイムを短くできる。

なお、初期積分値取得手段としては、適切な初期積分値が得られる手段であれば、いずれの手段でも良いが、例えば、積分値とカウンタ値との関係を、積分値を変化させてカウンタ値を計測することによって予め取得し、これを記憶しておき、カウンタ値が基準値に等しい値あるいは十分近い値となるときの積分値を初期積分値として用いるものが挙げられる。また、積分値を適宜変更して、カウンタ値が基準値に等しい値あるいは十分近い値となるときの積分値を探し、これを

初期積分値として用いるものも挙げられる。さらに、カウンタ値が基準値に等しい値あるいは十分近い値となって、所望の倍数でこのクロック倍回路が動作しているときの積分値を不揮発性メモリに記憶しておき、次回に初期積分値として用いるものも挙げられる。

【0030】

さらに上記クロック倍回路であって、前記初期積分値取得手段は、前記積分器からの前記積分値に代えて、疑似積分値を前記DA変換回路に入力する疑似積分値発生手段であって、入力する疑似積分値を順に変化させる疑似積分値発生手段と、上記疑似積分値毎に、その値、及び、前記計数期間に上記疑似積分値に基づいて出力された前記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントして得られた疑似カウント値、を対応づけて記憶する疑似値記憶手段と、を備え、前記基準値に等しいまたは最も近い疑似カウント値に対応する疑似積分値を前記初期積分値とするクロック倍回路とするのが好ましい。

【0031】

このクロック倍回路では、初期積分値取得手段として、疑似積分値発生手段と疑似値記憶手段とを有しており、疑似値記憶手段には、順に変化させた疑似積分値と疑似カウント値とが対応づけて記憶される。そして、基準値に等しいまたは最も近い疑似カウント値に対応する疑似積分値を初期積分値とするから、確実に初期積分値を得ることができる。そして、このような初期積分値を用いることで、電源投入後やリセット後に、短い時間で周波数を安定させることができる。つまり、ロックアップタイムを短くできる。

【0032】

なお、クロック倍回路の電源投入のたびに、あるいは、この回路からの出力クロック信号を使用する直前などに、疑似積分値の発生とこの疑似積分値と疑似カウント値の記憶を行う場合には、初期積分値を積分器に予め記憶しておく必要はない。

一方、出荷時に疑似積分値の発生とこの疑似積分値と疑似カウント値の記憶を行っておく場合や、初めてこの回路に電力を投入するときだけ疑似積分値の発生しこの疑似積分値と疑似カウント値の記憶を行うようにしてある場合など、この

操作を限定された場合に行うようにしてあるときには、初期積分値を積分器に記憶させておくと良い。

また、入力する疑似積分値を順に変化させる手法としては、DA変換回路に入力しうる値の下限値から1ずつインクリメントする、あるいは、上限値から1ずつデクリメントする手法が挙げられる。

【0033】

あるいは、請求項7に記載のクロック通倍回路であって、前記初期積分値取得手段は、前記積分器からの前記積分値に代えて、疑似積分値を前記DA変換回路に入力する疑似積分値発生手段と、前記基準値と前記計数期間に上記疑似積分値に基づいて出力された前記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントして得られた疑似カウント値とを用いて算出した疑似差分値が、0を含む所定数値範囲内に属するか否かを判断し、上記疑似差分値が上記所定数値範囲に属しないときには、上記疑似積分値発生手段をして、次に算出される疑似差分値が現在の疑似差分値より0に近づくように上記疑似積分値を変更して前記DA変換回路に入力させ、上記疑似差分値が上記所定数値範囲に属するときには、現在の疑似積分値を前記初期積分値とする判断手段と、を備えるクロック通倍回路とすると良い。

【0034】

本発明のクロック通倍回路では、疑似積分値発生手段と判断手段とを備え、判断手段での判断に応じて、疑似積分値を適宜変更して、疑似カウンタ値が基準値に等しい値あるいは十分近い値となるときの疑似積分値を探し、これを初期積分値として用いる。このため、初期積分値を容易に得られる。また、記憶容量の大きいメモリを用意しなくとも足りる。さらに、所定数値範囲に属する疑似差分値が得られればこれを初期積分値とすることができる、これで初期積分値の取得を終了できるため、初期積分値を得るための時間が短くて済む。また、このような初期積分値を用いることで、電源投入後やリセット後に、短い時間で周波数を安定させることができる。つまり、ロックアップタイムを短くできる。

【0035】

さらに、請求項7に記載のクロック通倍回路であって、前記初期積分値取得手

段は、前記積分器で算出した前記積分値を順次上書き記憶する不揮発性メモリであるクロック通倍回路とすると良い。

【0036】

本発明のクロック通倍回路では、初期積分値取得手段として不揮発性メモリを有しており、このクロック通倍回路が動作すると、不揮発性メモリには算出された積分値が次々に上書きされる。そして、このクロック通倍回路の電源が切斷されあるいはリセットされた場合には、最後に得られた積分値が不揮発性メモリに記憶されている。このクロック通倍回路が動作を始めてから、引き込み期間が経過するまでを除けば、クロック通倍回路が動作している期間は、周波数制御が適切に行われて、レファレンスクロック信号を通倍した出力クロック信号が出力されているときであると考えられる。従って、この時点で、クロック通倍回路の電源が切斷されあるいはリセットされると、不揮発性メモリには、周波数制御が適切に行われているときの積分値が記憶されていることになる。このクロック通倍回路では、この不揮発性メモリに記憶されていた値（前回使用時のうち最後の積分値）を次回使用時の初期積分値として用いることで、次の使用時には、短い時間で周波数を安定させることができる。つまり、ロックアップタイムを短くできる。

また、初期積分値を前回の動作時に得ておくので、初期積分値を得るための特別な動作も不要であり、容易に最適な初期積分値を得ることができる。また、VCOなどの特性が経時変化した場合にもいつも適切は初期積分値を用いることができる。しかも、不揮発性メモリ1つで足りるため、構成も簡単である。

【0037】

請求項7に記載のクロック通倍回路であって、前記初期積分値取得手段は、このクロック通倍回路への電源切斷時に、前記積分器で算出された現在の積分値を、不揮発性メモリに記憶する切斷時積分値記憶手段であるクロック通倍回路とするのが好ましい。

このクロック通倍回路では、初期積分値取得手段として切斷時積分値記憶手段を備える。このクロック通倍回路が動作すると、積分値が次々に算出される。そして、このクロック通倍回路の電源が切斷された場合には、これを検知して現在

の積分値を不揮発性メモリに記憶する。

前記したように、クロック倍増回路が動作を始めてから、引き込み期間が経過するまでを除けば、クロック倍増回路が動作している期間は、周波数制御が適切に行われて、レファレンスクロック信号を倍増した出力クロック信号が出力されているときであると考えられる。この時点で、クロック倍増回路の電源が切断されると、不揮発性メモリには、周波数制御が適切に行われているときの積分値が記憶される。従って、この不揮発性メモリに記憶されていた値（前回使用時のうち最後の積分値）を初期積分値として用いることで、次の使用時には、短い時間で周波数を安定させることができる。つまり、ロックアップタイムを短くできる。

かくして、初期積分値を前回の動作時に得ておくので、容易に最適な初期積分値を得ることができる。また、VCOなどの特性が経時変化した場合でもいつも適切な初期積分値を用いることができる。しかも、構成も簡単である。

【0038】

さらに、請求項7に記載のクロック倍増回路であって、前記初期積分値取得手段は、このクロック倍増回路の使用時において、前記基準値と前記カウント値とが等しくなったときの前記積分値を不揮発性メモリに順次上書きする前回積分値記憶手段であるクロック倍増回路とするのが好ましい。

このクロック倍増回路では、初期積分値取得手段として前回積分値記憶手段を備える。このクロック倍増回路が動作し、レファレンスクロック信号を倍増した出力クロック信号が出力されるようになると、基準値とカウント値とが等しくなる。すると、不揮発性メモリにこのときの積分値が不揮発性メモリに次々に上書き記憶される。このようにして不揮発性メモリに積分値を記憶するので、その後、クロック倍増回路の電源が切断されあるいはリセットされても、不揮発性メモリには基準値とカウント値とが等しくなったときの積分値が記憶されている。従って、この不揮発性メモリに記憶されていた値を初期積分値として用いることで、次の使用時には、短い時間で周波数を安定させることができる。つまり、ロックアップタイムを短くできる。

かくして、初期積分値を前回の動作時に得ておくので、容易に最適な初期積分

値を得ることができる。また、VCOなどの特性が経時変化した場合にもいつも適切な初期積分値を用いることができる。しかも、構成も簡単である。

【0039】

さらに、請求項1～請求項5のいずれか1項に記載のクロック通倍回路であって、前記制御電圧生成回路は、前記差分値を前記アナログ差分電圧に変換するDA変換回路と、上記アナログ差分電圧をアナログ積分して、前記アナログ制御電圧を得るアナログ積分回路と、を含むクロック通倍回路とするのが好ましい。

このクロック通倍回路では、先に差分値をアナログ差分電圧に変換し、その後アナログ積分回路でアナログ制御電圧を得る。このアナログ積分回路としては、ローパスフィルタを用いることができる。つまり、従来の通倍PLL回路におけるLPFとVCOと同様の回路を用いることができる。

【0040】

さらに他の解決手段は、入力されたレファレンスクロック信号を通倍した出力クロック信号を出力するクロック通倍回路であって、上記レファレンスクロック信号に基づいて与えられる所定の計数期間に上記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントしてカウント値を出力するカウンタと、上記出力クロック信号を出力する発振回路と、上記カウント値が所定の基準値と等しくなるように、上記発振回路における上記出力クロック信号の周波数を制御する発振制御回路と、を備えるクロック通倍回路である。

【0041】

本発明のクロック通倍回路は、カウンタと発振回路と発振制御回路とを備える。このクロック通倍回路では、発振制御回路が、カウント値と基準値とが等しくなるように、発振回路における出力クロック信号の周波数を制御する。つまり、計数期間内における出力クロック信号の有効遷移エッジのカウント値が基準値と等しい一定値になるように制御するので、常にレファレンスクロック信号の通倍の周波数の出力クロック信号が得られることになる。

しかも、カウンタと発振回路と発振制御回路を用いる簡単な構成で済む。また数値（デジタル値）であるカウント値を用いているため、処理が容易であり、回路の特性調整も容易である。

【0042】

さらに、上記クロック通倍回路であって、前記発信制御回路は、前記カウンタ値をデジタル的にまたはアナログ的に積分する積分手段を含むクロック通倍回路とするのが好ましい。

カウント値は、例えば、レファレンスクロック信号の1周期あるいは半周期毎など間欠的に得られる。ところで、得られたカウント値をそのものを用いて発振回路で出力する出力クロック信号の周波数を制御しようとすると、間欠的に得られるカウント値によって、1周期毎など間欠的に出力クロック信号の周波数が制御されて変化するので、周波数が間欠的に大きく変化して、周波数が振動変化（周期変化）するハンチング現象を生じ易くなる。

これに対し、このクロック通倍回路では、積分手段を含み、カウント値を積分することにより、その値が平滑化されるので、ハンチング現象を生じずに出力クロック信号の周波数を適切に制御できる。

【0043】

【発明の実施の形態】

(実施形態1)

本発明の第1の実施形態を、図2、図3を参照して説明する。本実施形態1にかかるクロック通倍回路1は、入力されたレファレンスクロック信号SRを、その周波数の通倍数M倍の周波数を持つ出力クロック信号STに変換して出力する回路である。クロック通倍回路1は、入力されたレファレンスクロック信号SRのうちハイレベルとなっているハイレベル期間に、出力クロック信号STの立上がりエッジが幾つ存在していたかを計数するカウンタ2を有する。また、クロック通倍回路1は、発振制御回路8及び電圧制御発振回路7を有する。この発振制御回路8は、カウンタ2で計数するカウンタ値CNが一定になるように、VCO7から出力する出力クロック信号STの周波数を制御する。さらに具体的には、クロック通倍回路1は、カウンタ2、VCO7のほか、減算器3、アナログ制御電圧生成回路4を含む。また、このアナログ制御電圧生成回路4は、加算器5及びD/A変換回路（以下単にDACともいう）6を含む。

【0044】

上述したように、カウンタ2は、レファレンスクロック信号SRのハイレベル期間における出力クロック信号STの立上がりエッジを計数する。そして、このハイレベル期間の終了及び出力クロック信号STに同期して、カウント値CNを出力する。図3では例えば、第1のハイレベル期間T1に、図中に上向矢印↑で示す出力クロック信号STの立上がりエッジが、幾つ存在していたかを計数し、このハイレベル期間T1の終了及び出力クロック信号STに同期してカウント値CN1を出力する。

【0045】

次いで、減算器3は、このハイレベル期間の終了及び出力クロック信号STに同期して、内部に保持する基準値BNから入力されたカウント値CNを差し引き、差分値DN(=BN-CN)を出力する。図3では例えば、カウント値CN1が出力されたタイミングから見て出力クロック信号STの次の立上がりエッジに同期して、差分値DN1を算出し出力する。

【0046】

すると、加算器5は、このハイレベル期間の終了及び出力クロック信号STに同期して、内部に保持する積分値INに入力された差分値DNを加えて新たな積分値IN(=IN+DN)とし、この積分値INを出力する。図3では例えば、差分値DN1が出力されたタイミングから見て出力クロック信号STの次の立上がりエッジに同期して、積分値IN1を算出し出力する。なお、積分値INの初期値(初期積分値)は、加算器5に予め与えられている。

【0047】

次いで、DAC6では、このハイレベル期間の終了及び出力クロック信号STに同期して、入力された積分値INを、対応するアナログ制御電圧AVに変換して出力する。図3では例えば、積分値IN1が出力されたタイミングから見て出力クロック信号STの次の立上がりエッジに同期して、アナログ制御電圧AV1を出力する。

【0048】

すると、VCO7において、出力する出力クロック信号STの周波数が、入力されたアナログ制御電圧AVに応じて変化する。従って、レファレンスクロック

信号の次のハイレベル期間において、カウンタ2で計数されるカウント値CNが変化することになる。図3では例えば、アナログ制御電圧AV1により、出力クロック信号STの周波数が、以前より相対的に低い周波数に変化している。このため、次のハイレベル期間T2にカウントされるカウント値CN2は、前回のカウント値CN1よりも小さい値となる。以降、同様にして、差分値DN2、積分値IN2が算出され、アナログ制御電圧AV2が得られると、出力クロック信号STの周波数が再び変更される。

【0049】

ここで、クロック倍倍回路1の動作原理を説明する。前提として、VCO7のV-f特性は単調でほぼ直線的であり、さらには、正の傾きを持つとする。つまり、アナログ制御電圧AVを大きくすると出力クロック信号STの周波数が高くなる特性を有するVCO7を用いたとする。

この前提の下、何らかの理由で、出力クロック信号STの周波数が適正な場合より低めであった場合を考える。すると、出力クロック信号STの周波数が適正であった場合に得られたであろうカウント値に比して、実際に得られたカウント値CNが小さな値となる。すると、基準値BNからカウント値CNを引いた差分値DN (=BN-CN)は、出力クロック信号STの周波数が適正であった場合に得られたであろう差分値に比して、大きな値となる。このため、この差分値DNを加算して得た積分値INも、出力クロック信号STの周波数が適正であった場合に得られたであろう積分値に比して、大きな値となる。DAC6では、この積分値INに対応したアナログ制御電圧AVを出力するから、結局、アナログ制御電圧AV1が相対的に高くなる。かくして、VCOの出力クロック信号STの周波数も、現在より高くなる。つまり、低めであった出力クロック信号STの周波数が、適正值に近づく方向に修正される。

【0050】

逆に、何らかの理由で、出力クロック信号STの周波数が適正な場合より高めであった場合を考える。すると、出力クロック信号STの周波数が適正であった場合に得られたであろうカウント値に比して、実際に得られたカウント値CNが大きな値となる。すると、基準値BNからカウント値CNを引いた差分値DN (

$= BN - CN$ ）は、出力クロック信号 ST の周波数が適正であった場合に得られたであろう差分値に比して、小さな値となる。このため、この差分値 DN を加算して得た積分値 IN も、出力クロック信号 ST の周波数が適正であった場合に得られたであろう積分値に比して、小さな値となる。D A C 6 では、この積分値 IN に対応したアナログ制御電圧 AV を出力するから、結局、アナログ制御電圧 AV が相対的に低くなる。かくして、V C O の出力クロック信号 ST の周波数も、現在より低くされる。つまり、高めであった出力クロック信号 ST の周波数が、適正值に近づく方向に修正される。

このようにして、このクロック倍増回路 1 では、出力クロック信号 ST の周波数が適性値となるように制御される。具体的には、このクロック倍増回路 1 では、積分値 IN ($= IN + DN$) が一定値になるように、さらには、差分値 DN が 0 ($= DN = BN - CN$) になるように制御される。

【0051】

上述のように、 $DN = BN - CN = 0$ 、つまり、カウント値 CN が基準値に等しくなる ($CN = BN$) ように制御されている場合、本実施形態 1 における計数期間であるハイレベル期間がレファレンスクロック信号 SR の 1 周期の期間に占める割合 (ハイデューティ比 HD) の逆数と、基準値 BN との積が、このクロック倍増回路 1 の倍増数 M になる。即ち、 $M = BN / HD$ となる。例えば、ハイデューティ比 HD が 50% の場合、 $M = 2 \cdot BN$ となる。逆に、 $BN = M \cdot HD$ となるようにすることで、レファレンスクロック信号 SR を倍増数 M 倍した周波数を持つ出力クロック信号 ST を得ることができる。

なお、ハイデューティ比 HD は、レファレンスクロック信号 SR のハイレベルパルス幅を t_h 、ローレベルパルス幅を t_d としたとき、 $HD = t_h / (t_h + t_d)$ で与えられる。

【0052】

このクロック倍増回路 1 では、カウント値 CN という数値データを用いて、差分値 DN、さらには積分値 IN を算出した後に、DA 変換してアナログ制御電圧 AV を生成する。このように、クロック倍増回路 1 は、数値データを処理するので、しかも数値処理自体も減算や加算など簡単な処理で足りるので、簡単な構成

で足りる。

さらに、カウント値CN、差分値DN、積分値INは、数値データであるので、乗算やオフセット値の加算などの数値処理が簡単にできる。このため、前述した通常PLL回路のようにアナログ回路で信号処理を行う場合に比して、クロック通常回路1の特性の調整が容易である利点もある。

【0053】

なお、本実施形態1のクロック通常回路1では、差分器3とDAC6との間に、積分値INを得る加算器5を配置した。加算器5は、前回の積分値INに差分値DNを加えて新たな積分値IN(=IN+DN)を得るから、過去から現在までの差分値DNを加えた値となっており、差分値DNの変化のうち低周波成分を取り出すローパスフィルタの作用をする。加算器5を用いないで、差分値DNをDAC6に入力すると、差分値DNが得られるレファレンスクロック信号SRの1周期毎に出力クロック信号STの周波数が大きく変化するため、ハンチング現象が生じやすくなる。これに対し、加算器5を用いた本実施形態1のクロック通常回路1では、差分値DNが急変しても、積分値INはさほど変化しないため、出力クロック信号STの周波数は急変せず、ハンチング現象を抑制することができる。

【0054】

また、本実施形態1では、図3に示すように、ハイレベル期間T1の終了後、出力クロック信号STの立ち上がりエッジに同期して、出力クロック信号STの1周期毎に次々に差分値DN1、積分値IN1、アナログ制御電圧AV1を得ている。つまり、ハイレベル期間T1の終了後、出力クロック信号STの4周期後には、アナログ制御電圧AV1を得て、VCO7からの出力クロック信号STの周波数が変更されるように構成されている。しかし、出力クロック信号STの周波数の変更が、次のハイレベル期間T2までに間に合えば同様の結果が得られるから、採用する通常倍数M(あるいは基本値BN)が大きい場合には、入力から出力までに数クロック分かかる回路構成としたカウンタ2、減算器3等を採用することもできる。

また、容易に理解できるように、本実施形態1のクロック通常回路1において

は、レファレンスクロック信号SRのハイレベル期間が、計数期間である。また、出力クロック信号STの立上がりエッジが、有効遷移エッジである。

【0055】

(変形形態1)

上記実施形態1では、レファレンスクロック信号SRがハイレベルとなったハイレベル期間に、カウンタ2によって、出力クロック信号STの立上がりエッジが幾つ存在したかを計数した。

これに対し、本変形形態1のクロック通倍回路1Aも、上記実施形態1のクロック通倍回路1と同様な回路構成を有している（図2参照）。但し、図4のタイムチャートに示すように、レファレンスクロック信号SRがローレベルとなったローレベル期間T1, T2に、カウンタ2によって、出力クロック信号STの立上がりエッジが幾つ存在したかを計数して、カウント値CNを得る点で異なる。即ち、クロック通倍回路1Aは、ローレベル期間T1に、出力クロック信号STの立上がりエッジの数を計数してカウント値CN1を得、その後、実施形態1と同様にして、差分値DN1（=BN-CN1）、積分値IN1（=INO+DN1）を得る。

このようにしても、上記実施形態1と同様、積分値IN（=INO+DN）が所定の値になるように、さらには、差分値DNが0（=DN=BN-CN）になるように制御することができ、同様の効果を得ることができる。

【0056】

(変形形態2)

上記実施形態1及び変形形態1では、レファレンスクロック信号SRのハイレベル期間またはローレベル期間に、カウンタ2によって、出力クロック信号STの立上がりエッジが幾つ存在したかを計数した。

これに対し、本変形形態2のクロック通倍回路1Bも、上記実施形態1のクロック通倍回路1と同様な回路構成を有している（図2参照）。但し、図5のタイムチャートに示すように、ハイレベル期間T1, T3、及びローレベルとなったローレベル期間T2, T4に、それぞれカウンタ2によって、出力クロック信号STの立上がりエッジが幾つ存在したかを計数して、カウント値CNを得る点で

異なる。なお、レファレンスクロック信号S Rのデューティ比は、50%である。

【0057】

即ち、クロック倍増回路1 Bでは、ハイレベル期間T 1に、出力クロック信号S Tの立上がりエッジの数を計数してカウント値C N 1を得、その後、実施形態1と同様にして、差分値D N 1、積分値I N 1、アナログ制御電圧A V 1を得る。一方、カウンタ2は、ローレベル期間T 2において、カウント値C N 1を出力するとともに、このローレベル期間T 2における立上がりエッジの数を計数してカウント値C N 2を得る。さらにカウンタ2は、ハイレベル期間T 3において、カウント値C N 2を出力するとともに、このローレベル期間T 3における立上がりエッジの数を計数してカウント値C N 3を得る。このようにして、カウンタ2は、ハイレベル期間T 1, T 3…及びローレベル期間T 2, T 4…毎にカウント値C Nを出力するようにしている。

このようにすることで、レファレンスクロック信号S Rの1周期毎に2回ずつアナログ制御電圧A Vが得られて、VCO 7における出力クロック信号S Tの周波数が制御される。すなわち、このクロック倍増回路1 Bでも、簡易な構成で出力クロック信号S Tの周波数を制御することができる。また、数値データで処理するので、特性の調整も容易である。

【0058】

また、前述の実施形態1等と同様、積分値I N (= I N + D N) が所定の値になるように、さらには、差分値D Nが0 (= D N = B N - C N) になるように制御することができる。

また、上述したように、本変形形態1のクロック倍増回路では、レファレンスクロック信号S Rの1周期毎に、2回ずつ出力クロック信号S Tの周波数が制御される。従って、実施形態1や変形形態1に示したクロック倍増回路1等に比して、ジッタを半分程度に抑制することができる。

なお、容易に理解できるように、本変形形態2のクロック倍増回路においては、レファレンスクロック信号S Rのハイレベル期間及びローレベル期間のそれぞれが、計数期間である。

【0059】

(変形形態3)

ところで、上記実施形態1及び変形形態1、2にかかるクロック遅倍回路1等では、いずれも、レファレンスクロック信号SRのハイレベル期間T1等の期間に存在していた出力クロック信号STの立上がりエッジを計数した。このため、図6に上向矢印↑で示すように、例えば、ハイレベル期間Tの間に、出力クロック信号STの立上がりエッジが $n/2$ ヶ（例えば16ヶ）存在するように制御しても、厳密には、出力クロック信号STの周波数には、ある程度の幅が許容される。

【0060】

図6Aには、出力クロック信号STの周波数が許容範囲内で最も低い場合を示す。この場合、ハイレベル期間Tの開始直後に出力クロック信号STの第1番目の立上がりエッジが発生し、ハイレベル期間Tの終了直前に出力クロック信号STの第 $n/2$ 番目の立上がりエッジが発生する関係になる。この場合、このハイレベル期間Tの間に出力クロック信号STがほぼ $((n/2) - 1)$ 周期分存在したことになる。

一方、図6Bには、出力クロック信号STの周波数が許容範囲内で最も高い場合を示す。この場合、ハイレベル期間Tの開始から出力クロック信号STのほぼ1周期分の時間の経過後に第1番目の立上がりエッジが発生する。また、ハイレベル期間Tの終了より出力クロック信号STのほぼ1周期分前に第 $n/2$ 番目の立上がりエッジが発生する関係になる。この場合、このハイレベル期間Tの間に出力クロック信号STがほぼ $((n/2) + 1)$ 周期分存在したことになる。

【0061】

従って、この図6A、Bを比較すると容易に理解できるように、出力クロック信号STは、ハイレベル期間T内に存在する周期で数えて、±1.0周期分の変動が許されることが判る。つまり、ハイレベル期間Tの間における出力クロック信号STの揺らぎが、±1.0周期分存在することが判る。この揺らぎは、実施形態1等のクロック遅倍回路1等におけるジッタの大きさに直接関係する。

【0062】

次いで、変形形態3にかかるクロック倍回路1Cについて説明する。本変形形態2のクロック倍回路1Cも、上記実施形態1のクロック倍回路1と同様な回路構成を有している（図2参照）。但し、図7に上向矢印↑及び下向矢印↓で示すように、レフアレンスクロック信号SRのハイレベル期間Tの期間に存在していた出力クロック信号STの立上がりエッジと立下がりエッジの両者を計数する。

ハイレベル期間Tの間に、出力クロック信号STの立上がりエッジと立下がりエッジがnヶ（例えば32ヶ）存在するように制御した場合に、許容される出力クロック信号STの周波数の幅について説明する。なお、出力クロック信号STのデューティ比は50%とする。

【0063】

図7Aには、出力クロック信号STの周波数が許容範囲内で最も低い場合を示す。この場合、ハイレベル期間Tの開始直後に出力クロック信号STの第1番目の立上がりエッジが発生し、ハイレベル期間Tの終了直前に出力クロック信号STの第n番目の立上がりエッジが発生する関係になる。この場合、このハイレベル期間Tの間に出力クロック信号STがほぼ $((n/2) - (1/2))$ 周期分存在したことになる。

一方、図7Bには、出力クロック信号STの周波数が許容範囲内で最も高い場合を示す。この場合、ハイレベル期間Tの開始から出力クロック信号STのほぼ0.5周期分の時間の経過後に第1番目の立上がりエッジが発生する。また、ハイレベル期間Tの終了より出力クロック信号STのほぼ0.5周期分前に第n番目の立上がりエッジが発生する関係になる。この場合、このハイレベル期間Tの間に出力クロック信号STがほぼ $((n/2) + (1/2))$ 周期分存在したことになる。

【0064】

従って、この図7A、Bを比較すると容易に理解できるように、出力クロック信号STは、ハイレベル期間T内に存在する周期で数えて、±0.5周期分の変動が許されることが判る。つまり、ハイレベル期間Tの間における出力クロック信号STの揺らぎが、±0.5周期分しか存在しないことが判る。この揺らぎは

、前述した実施形態1等における揺らぎの約半分になっていることが判る。かくして、本変形形態3のクロック通倍回路1Cでは、実施形態1等に比して約半分のジッタに抑制することができる判る。

【0065】

(実施形態2)

次いで、実施形態2にかかるクロック通倍回路11について、図8を参照して説明する。本実施形態2のクロック通倍回路11は、前述した実施形態1にかかるクロック通倍回路1と同様に、カウンタ2、減算器3、加算器5、D A C 6、V C O 7を有するほか、減算器3と加算器5の間に、差分値D Nを所定の倍率L倍して、乗算済み差分値M D Nを加算器5に対して出力する乗算器18を有している。

この乗算器18における倍率Lが1より大きい場合、乗算器18が無い実施形態1等の場合に比して、差分値D Nの大きさの変化、従って、カウンタ値C Nの変化が、積分値I Nの変化やアナログ制御電圧A Vの変化、ひいては、出力クロック信号S Tの周波数の変化に大きく影響する。つまり、クロック通倍回路11のループゲインを大きくすることができる。逆に、この乗算器18における倍率Lが1より小さい場合、クロック通倍回路11のループゲインを抑制することができる。

【0066】

倍率Lを大きくし、クロック通倍回路11のループゲインを大きくすることで、応答性が高くなり、僅かなカウンタ値C Nの変化でも、敏感に出力クロック信号S Tの周波数が制御される。また、ロックアップタイムも短くできる。一方、倍率Lを小さくし、クロック通倍回路11のループゲインを抑えることで、僅かな外乱によるカウンタ値C Nの変化などにより、敏感に出力クロック信号S Tの周波数が変化することで、周波数制御が外れる危険性を抑制することができる。

また、本実施形態2のクロック通倍回路11では、上述のように、差分値D Nを所定の倍率L倍して、乗算済み差分値M D Nを得ることで、クロック通倍回路11のループゲインを調整することができる。このように、このクロック通倍回路11では、アナログ信号の処理ではなく、数値（デジタル値）を用いているの

で、デジタル値である差分値DNに倍率Lを乗算して乗算済み差分値MDNを得るだけで、容易にループゲインを調整できる。

【0067】

なお、倍率Lの乗算器18としては、バイナリデータである差分値DNを所定ビット分だけビットシフトさせて 2^S 倍（Sは正または負の整数）とするシフトレジスタを用いると、簡易に乗算器18を構成することができる。

【0068】

（変形形態4）

上記実施形態2では、倍率Lが固定された乗算器18を有するクロック通倍回路11を例示した。これに対し、本変形形態4のクロック通倍回路21も、上記実施形態2のクロック通倍回路11と同様な回路構成を有するが、その倍率をL1とL2（ $L_1 > L_2$ ）のいずれかに切り換え可能にしてある乗算器28を有する点で異なる。

即ち、本変形形態4のクロック通倍回路21では、このクロック通倍回路21に電源を投入後などから、出力クロック信号の周波数が所定値に安定するまでの引き込み期間には、相対的に高い倍率L1を用いる。一方、この引き込み期間経過後には、相対的に低い倍率L2を用いるようにする。具体的には、差分値DNと所定値とを比較し、差分値DNの絶対値が所定値より大きい期間は、引き込み期間であると解して、倍率L1を用いる。一方、差分値DNの絶対値が所定値より小さい期間は、引き込み期間が経過したと解して、倍率L2を用いる。

これにより、引き込み期間には、クロック通倍回路21のループゲインが大きくなり、応答性が高くなつて、より早く出力クロック信号STの周波数が所定値に近づくため、引き込み期間を短く、つまりロックアップタイムを短くすることができる。一方、引き込み期間経過後には、ループゲインが抑制されるので応答性が低くなり、むしろ外乱などによって、周波数ロックが外れるのが防止され、安定に制御を継続することができる。

【0069】

なお、上述のように、乗算器18で内部的に条件判断して、自動的に倍率を変更するようにしても良いが、図9に破線で示すように、倍率制御信号MCONT

の指示によって、乗算器28で用いる倍率を適宜変更することもできる。このようにすれば、例えば、引き込み期間の終了時など、適切な時期に、この倍率制御信号M C O N Tの指示により、倍率を変更することができる。

いずれにしても、乗算器28の倍率を可変としたので、適切な倍率を適切な時期に用いることができる。

【0070】

(変形形態5)

上記変形形態4では、乗算器28において、予め定められた倍率L1とL2とを、自動的にあるいは外部からの指示により切り換える例を示した。しかし、本変形形態5のクロック通倍回路31に示すように(図10参照)、乗算器38の倍率Lの値を外部から変更できるようにしても良い。即ち、変形形態5のクロック通倍回路31は、実施形態2及び変形形態4のクロック通倍回路21と同様な回路構成を有するが、乗算器38の倍率を外部から設定可能としてなる点でこれらと異なる。

乗算器38は、倍率レジスタ381に記憶された倍率Lを用いて、差分値DNをL倍して、乗算済み差分値MDNを算出する。この倍率レジスタ381には、ロード信号である倍率制御信号M C O N Tに応じて、倍率データが書き込まれる。これにより、乗算器38は、倍率レジスタ381に書き込まれた倍率Lを用いて、乗算を行う。

このようにすることで、クロック通倍回路31の使用用途や使用状況などに応じて、適切なループゲインを設定することができる。

【0071】

(実施形態3)

次いで、実施形態3にかかるクロック通倍回路41について、図11、図12を参照して説明する。本実施形態3のクロック通倍回路41は、前述した実施形態1にかかるクロック通倍回路1と同様に、カウンタ2、減算器43、加算器5、D A C 6、V C O 7を有する。但し、クロック通倍回路1では、減算器3で用いた基準値BNは、固定値であった。これに対し、本実施形態3のクロック通倍回路41における減算器43は、その基準値をBN1とBN2(BN1>BN2)

) のいずれかに切り換え可能にしてある点で異なる。

減算器43は、図12に示すように、2つの基準値BN1とBN2をそれぞれ記憶する基準値レジスタ432, 433を有しており、切換器434により、いずれを用いるかが選択される。減算器431では、2つの基準値BN1とBN2のいずれかからカウント値CNを差し引いて、差分値DNを算出する。切換制御回路435は、切換器434を制御し、基準値レジスタ432, 433に記憶された基準値BN1, BN2のいずれかを選択する。かくして、差分値DNとして、 $DN = BN1 - CN$ 、または $DN = BN2 - CN$ のいずれかが算出される。

【0072】

前述したように、カウント値CNが基準値BNと等しくなるように制御されるのであるから、この減算器43で用いる基準値は、このクロック通倍回路の通倍数を決定する値である。具体的には、デューティ比の逆数Aと、基準値BNとの積、 $A \cdot BN$ が、このクロック通倍回路の通倍数Mに等しい ($M = A \cdot BN$)。

クロック通倍回路の用途によっては、レファレンスクロック信号SRに対する通倍数Mを変更し、周波数の異なる出力クロック信号STを切り換えて出力したい場合がある。これに対し、本実施形態3のクロック通倍回路41では、基準値をBN1とBN2のいずれかに変更可能としてなるので、基準値の変更により、クロック通倍回路41の通倍数Mを適宜変更することができる。例えば、具体的には、使用するレファレンスクロック信号SRのデューティ比が50%であるとすると、通倍数 $M1 = 2 \cdot BN1$ と、通倍数 $M2 = 2 \cdot BN2$ とのいずれかを切り換えることができる。

【0073】

なお、基準値の変更には、上述したように、減算器43に内蔵する切換制御回路435あるいはクロック通倍回路41の内部的処理により自動的に基準値を切り換えるても良いが、図11, 図12に破線で示すように、基準値制御信号BNONTの指示によって、切換器434を切り換えるようにすることで、減算器43で用いる基準値を適宜変更することもできる。このようにすれば、例えば、基準値制御信号BNCONTを用いて適切なタイミングで、基準値、従って、通倍数を切り換えることができる。また、途中での切り替えのほか、クロック通倍回路

4 1 の用途に応じて、予め基準値を切り換えて用いることができる

いずれにしても、減算器 4 3 の基準値を可変としたので、適切に通倍数を切り換えて用いることができる。

【0074】

(変形形態 6)

上記実施形態 3 では、減算器 4 3 において、予め記憶された基準値 B N 1 と B N 2 とを、自動的にあるいは外部からの指示により切り換える例を示した。しかし、本変形形態 6 のクロック通倍回路 5 1 に示すように(図 13 参照)、減算器 5 3 に記憶する基準値を外部から変更できるようにしても良い。即ち、変形形態 6 のクロック通倍回路 5 1 は、実施形態 3 のクロック通倍回路 4 1 と同様な回路構成を有するが、減算器 5 3 で用いる基準値を外部から設定可能としてなる点でこれらと異なる。

減算器 5 3 は、基準値レジスタ 5 3 2 に記憶された基準値 B N を用い、減算器 5 3 1 で、この基準値 B N からカウント値 C N を差し引いて差分値 D N を算出する。この基準値レジスタ 5 3 2 には、ロード信号である基準値制御信号 B N C O N T に応じて、基準値データが書き込まれる。これにより、減算器 5 3 は、基準値レジスタ 5 3 2 に書き込まれた基準値 B N を用いて、減算を行う。

このようにすることで、クロック通倍回路 5 1 の使用用途や使用状況などに応じて、適切な通倍数を設定することができる。

【0075】

(実施形態 4)

次いで、実施形態 4 にかかるクロック通倍回路 6 1 について、図 15、図 16、及び図 17 を参照して説明する。本実施形態 4 のクロック通倍回路 6 1 は、前述した実施形態 1 にかかるクロック通倍回路 1 と同様に、カウンタ 2、減算器 3、加算器 6 5、D A C 6、V C O 7 を有する。

但し、クロック通倍回路 1 では、加算器 5 で算出した積分値 I N の初期値(初期積分値) I N S は、当初から与えられた固定値であった。これに対し、本実施形態 4 のクロック通倍回路 6 1 では、初期積分値取得手段 6 7 を用いて、以下に説明するようにして、初期積分値 I N S を得る点で異なる。

【0076】

一般に、クロック通倍回路1では、この回路に電力が投入されると、あるいはリセット信号によりカウンタ2、減算器3、加算器5の各内容がリセットされるとその後、加算器5からは、初期積分値INSが出力される。すると、これに対応するDAC6のアナログ制御電圧AVが出力され、VCO7は、アナログ制御電圧AVで決まる周波数を有する出力クロック信号STを出力する。ところで、初期積分値INSが適切な値でない場合には、電力投入当初に出力される出力クロック信号STの周波数が高すぎたり低すぎたりする。最終的には、前記したようにして、カウント値CNが基準値BNと等しくなるように制御されるのであるが、上述のように初期積分値INSが適切な値でないと、出力クロック信号STの周波数が安定するまでに時間が掛かる。つまりロックアップタイムが長くなる。

また、初期積分値INSが適切でないことにより、出力クロック信号STの周波数が極端に低いと、カウンタ2や減算器3等が出力クロック信号STに同期して動作するため、レファレンスクロック信号SRの次のハイレベル期間（計数期間）までにVCO7から出力される出力クロック信号STの周波数が変化しない場合がある。すると、さらに周波数の安定までに時間がかかることがある。

【0077】

このクロック通倍回路61は、通常使用時には、実施形態1のクロック制御回路1（図2参照）と同様にして、レファレンスクロック信号SRを所定通倍した出力クロック信号STを出力する。ところで、このクロック通倍回路61は、この回路に初めて電力を供給した場合に、初期積分値取得手段67により、初期積分値INSを自律的に取得するように構成されている。即ち、図15に実線で示すように、このクロック通倍回路61に初めて電力が供給されると、VCO7での発振を待って、加算器65からではなく、疑似積分値発生回路68から、疑似積分値QIN（QIN=0）がDAC6に入力される（図16のステップS1参照）。すると、この疑似積分値QINに対応したアナログ制御電圧AVが出力される（ステップS2）。すると、VCO7からは、アナログ制御電圧AVに対応した周波数を有する出力クロック信号STが出力される（ステップS3）。そこ

で、実施形態1と同じく、レファレンスクロック信号SRのハイレベル期間に出力クロック信号STが幾つ存在したかをカウンタ2によって計数し、疑似カウント値QCNを得る（ステップS4）。

【0078】

得られた疑似カウント値QCNは、DAC6に疑似積分値QINを入力した場合に、それによって決まる出力クロック信号STの周波数に対応する値である。そこで、この両者を、レジスタ69に記憶する（ステップS5）。即ち、レジスタ69には、図17に示すように、疑似積分値QINと疑似カウント値QCNとが関係づけられて記憶される。ステップS6では、疑似積分値QINが上限値（例えば、8ビットの場合「11111111」）であるか否かを判断し（ステップS6）、上限値でないとき（No）は、書込完了信号を疑似積分値発生回路68に送信する。すると、疑似積分値発生回路68では、インクリメントした疑似積分値QINを発生して、再びステップS2～S6を繰り返す。かくして、レジスタ69には、順に変化させた疑似積分値QINと疑似カウント値QCNとが対応づけて記憶される。疑似積分値QINが順に大きくなり、ステップS6において、ついに疑似積分値QINが上限値となったとき（Yes）には、レジスタ69を検索して、基準値BNに等しいか最も近い疑似カウント値CNを選択し（ステップS7）、次いで、選択した疑似カウント値に対応する疑似積分値を、初期積分値INSとして、加算器65の初期積分値レジスタ651に記憶する（ステップS8）。

【0079】

かくして、初期積分値INSとして、基準値BNに等しいか最も近い疑似カウント値CNが得られる疑似積分値QINが記憶されるので、この初期積分値INSを用いれば、電源投入の直後から、あるいはこの回路61がリセットされた直後から、適切な周波数に近い周波数を持つ出力クロック信号STを出力させることができる。このため、ロックアップタイムを極めて短くすることができる。

なお、上記実施形態4では、クロック倍倍回路61に初めて電力を供給した場合に、初期積分値取得手段67により、初期積分値INSを自律的に取得するように構成した。しかし、クロック倍倍回路61への電力供給を開始すると、いつ

でもまず最初に、初期積分値取得手段67によって初期積分値INSを取得するように設定することもできる。また、外部からの指示により、適時、初期積分値取得手段67を起動するようにすることもできる。

また、上記実施形態4では、疑似積分値発生回路68で疑似積分値QINをインクリメントして発生したが、デクリメントして発生しても良い。

【0080】

(変形形態7)

上記実施形態4のクロック通倍回路61では、疑似積分値発生回路68とレジスタ69を用いて、疑似積分値QINを順次変化させ、疑似積分値QINと疑似カウント値QCNとを対応づけて記憶させ、基準値BNに等しいか最も近い疑似カウント値CNを選択させ、これに対応する疑似積分値を、初期積分値INSとして初期積分値レジスタ651に記憶させた。

これに対して、本変形形態7では、図17に示すように、疑似積分値発生回路78と判定機79とを含む初期積分値取得手段77を用いて、初期積分値INSを取得する点で異なる。

【0081】

即ち、本変形形態7のクロック通倍回路71でも、通常使用時には、実施形態1のクロック制御回路1(図2参照)と同様にして、レファレンスクロック信号SRを所定通倍した出力クロック信号STを出力する。ところで、このクロック通倍回路71は、この回路への電力供給が開始されると、まず最初に初期積分値取得手段77により、初期積分値INSを自律的に取得するように構成されている。即ち、図17に実線で示すように、このクロック通倍回路71への電力が供給されると、VCO7の発振を待って、加算器75からではなく、疑似積分値発生回路78から、疑似積分値QIN(QIN=0)がDAC6に入力される(図19のステップS11参照)。すると、この疑似積分値QINに対応したアナログ制御電圧AVが出力される(ステップS12)。すると、VCO7からは、アナログ制御電圧AVに対応した周波数を有する出力クロック信号STが出力される(ステップS13)。そこで、実施形態4と同じく、レファレンスクロック信号SRのハイレベル期間に出力クロック信号STが幾つ存在したかをカウンタ2

によって計数し、疑似カウント値QCNを得る（ステップS14）。さらに、減算器3により、基準値BNから疑似カウント値QCNを差し引いて、疑似差分値QDNを得る（ステップS15）。

【0082】

判定器79では、疑似差分値QDNが所定範囲内の値であるか否か、具体的には、 $-P < QDN < P$ であるか否かを判断する（ステップS16）。ここで、No、つまり、 $QDN \leq -P$ または $QDN \geq P$ である場合には、さらに、 $QDN > 0$ であるか否かを判断する（ステップS18）。ここで、Yes、つまり QDN が正の値である場合には、疑似カウント値QCNは、基準値BNよりも小さな値であること、従って、現在発生している出力クロック信号STの周波数が低いことを示す。そこで、ステップS19に進んで、現在の疑似積分値QINに変化分Rを加えた値を新たな疑似積分値QINとする。一方、ここで、No、つまり QDN が負の値である場合には、疑似カウント値QCNは、基準値BNよりも大きな値であること、従って、現在発生している出力クロック信号STの周波数が高いことを示す。そこで、ステップS20に進んで、現在の疑似積分値QINから変化分Rを減らした値を新たな疑似積分値QINとする。次いで、ステップS21で、次の変化分Rを、現在の変化分Rの半分に設定（ $R = R/2$ ）した上で、ステップS12に戻る。このようにして、疑似積分値発生回路78と判定器79により、疑似積分値QINを増減して、ステップS16において、Yes、つまり $-P < QDN < P$ となるまで、ステップS12～S16を繰り返す。ついに、 $-P < QDN < P$ となると、ステップS17に進み、現在の疑似積分値QINを初期積分値INSとして、加算器75の初期積分値レジスタ751に記憶する。

【0083】

かくして、疑似差分値QDNが0を含む所定範囲内（ $-P < QDN < P$ ）となるときの疑似積分値QINを初期積分値INSとして初期積分値レジスタ751に記憶することができる。このため、この初期積分値INSを用いれば、電源投入の直後から、あるいはこの回路61がリセットされた直後から、適切な周波数に近い周波数を持つ出力クロック信号STを出力させることができる。このため、ロックアップタイムを極めて短くすることができる。

また、このクロック通倍回路71では、上記実施形態4のクロック通倍回路61におけるレジスタ69のような大きな容量のメモリを用意しないでも足りる。

また、初期積分値INSを得られたら、初期積分値INSの取得作業を終了できるため、短時間で初期積分値INSを取得することができる。

なお、上記変形形態7では、クロック通倍回路71に電力供給を開始すると、いつも最初に、初期積分値取得手段77により、初期積分値INSを自律的に取得するように構成した。しかし、クロック通倍回路71に初めて電力を供給した場合にのみ、初期積分値取得手段767によって初期積分値INSを取得するように設定することもできる。また、外部からの指示により、適時初期積分値取得手段77を起動するようにすることもできる。

【0084】

(変形形態8)

上記実施形態4及び変形形態7のクロック通倍回路61, 71では、初期積分値取得手段67, 77により、クロック通倍回路61, 71への電力投入開始の後などに、通常の出力クロック信号STの発生とは別に、回路を作動させて初期積分値INSを得た。

これに対して、本変形形態8のクロック通倍回路81では、図20に示すように、内部に加算器851と不揮発性メモリ852を備える加算器85を用い、前回この回路81が動作していたときの積分値INを記憶してこれを初期積分値INSとする点で異なる。本変形形態8では、不揮発性メモリ852が初期積分値取得手段である。

【0085】

本変形形態8のクロック通倍回路81は、前述した実施形態1にかかるクロック通倍回路1(図2参照)と同様に、カウンタ2、減算器3、加算器85、DAC6、VCO7を有する。但し、このクロック通倍回路81のうち、加算器85は、差分値DNと前回の積分値INとを加える加算器851のほか、これを記憶する不揮発性メモリ852を備える点で異なる。

【0086】

上述のように、このクロック通倍回路81では、不揮発性メモリ852を有し

ており、新たな積分値 I_N が得られるたびに順次上書きして積分値 I_N を記憶している。このため、このクロック倍増回路 81 の電源を切断した場合、あるいはこの回路 81 をリセットした場合、最後に算出した積分値 I_N が記憶され続けるようになっている。そして、このクロック倍増回路 81 に、再び電源供給を開始すると、加算器 85 は、最初は不揮発性メモリ 852 に記憶されていた積分値 I_N を出力する。つまり記憶されていた積分値 I_N は、初期積分値 I_{NS} として用いられる。この回路 81 をリセットした場合も、リセット直前に得た積分値 I_N が記憶されているから同様である。

【0087】

ところで、このクロック倍増回路 81 が動作している場合、引き込み期間以外では、通常、レファレンスクロック信号 SR を倍増した出力クロック信号 ST が、出力されている。この場合、加算器 85 から出力されている積分値 I_N は、差分値 DN が 0 となるように制御された値となっているはずである。そこで、この状態のときに電源が切断されると、不揮発性メモリ 852 には、差分値 DN が 0 となる積分値 I_N が記憶されることになる。従って、この積分値 I_N を初期積分値 I_{NS} として用いることができるから、再度の電源投入の直後からあるいはリセットの直後から適切な周波数に近い周波数を持つ出力クロック信号 ST を出力させることができる。このため、ロックアップタイムを極めて短くすることができる。

また、初期積分値 I_{NS} を前回の動作時に得ておくので、初期積分値 I_{NS} を得るための特別な動作も不要であり、容易に最適な初期積分値を得ることができる。また、VCOなどの特性が経時変化した場合にもいつも適切な初期積分値を用いることができる。しかも、不揮発性メモリ 1 つで足りるため、構成も簡単である。

【0088】

(変形形態 9)

上記変形形態 8 のクロック倍増回路 81 では、不揮発性メモリ（初期積分値取得手段）852 に、算出された積分値 I_N を順次上書きして記憶して初期積分値 I_{NS} を得た。

これに対して、本変形形態9のクロック通倍回路91では、図21に示すように、内部に不揮発性メモリ952と電源断を検知する電源断検知回路951からなる初期積分値取得手段953を備える加算器95を用いる点で異なる。

【0089】

すなわち、本変形形態9のクロック通倍回路91では、前述した実施形態1にかかるクロック通倍回路1（図2参照）と同様に、カウンタ2、減算器3、加算器95、DAC6、VCO7を有する。このクロック通倍回路91のうち、加算器95は、実施形態1の加算器5と同様、差分値DNと前回の積分値INとを加えて新たな積分値INを算出する加算器である。但し、電源電圧の低下などにより、電源断検知回路951がこの回路への電源断を検知すると、その指示により不揮発性メモリ952に現在出力している積分値INを記憶する。

なお、電源断検知回路951には、電源断による電源電位の低下で、不揮発性メモリ952の動作が不安定あるいは不能となるのを防止するため、不揮発性メモリ952に現在の積分値INが記憶されるまでの間、不揮発性メモリ952の電源電位を保つため、コンデンサ等による補助電源をも備えるようにすることもできる。

【0090】

かくして、このクロック通倍回路91では、電源断の後にも、不揮発性メモリ952に積分値INが記憶されている。この積分値INは、変形形態8において説明したのと同様に、引き込み期間以外には、通常、加算器95から出力されている積分値INは、差分値DNが0となるように制御された値となっているはずである。そして、この状態のときに電源が切斷されると、不揮発性メモリ952には、差分値DNが0となる積分値INが記憶されることになる。

従って、この積分値INを初期積分値INSとして用いることができるから、再度電源投入すると、その直後から適切な周波数に近い周波数を持つ出力クロック信号STを出力させることができる。このため、ロックアップタイムを極めて短くすることができる。なお、この回路91をリセットした後にも、不揮発性メモリ952に記憶されている積分値INを初期積分値INSとして用いればよい。

また、初期積分値を前回の動作時に得ておくので、容易に最適な初期積分値を得ることができる。また、VCOなどの特性が経時変化した場合でもいつも適切は初期積分値を用いることができる。しかも、構成も簡単である。

【0091】

(変形形態10)

上記変形形態9のクロック倍増回路91では、電源断検知回路951と不揮発性メモリ952を用い、電源断を検出したときに、現在の積分値INを不揮発性メモリ952に記憶して、これを初期積分値INSとした。

これに対して、本変形形態10のクロック倍増回路101では、図22に示すように、内部に不揮発性メモリ1052と差分値DN=0となったか否かを判定する一致検知回路1051からなる初期積分値取得手段1053を備える加算器105を用いる点で異なる。

【0092】

すなわち、本変形形態10のクロック倍増回路101でも、前述した実施形態1にかかるクロック倍増回路1(図2参照)と同様に、カウンタ2、減算器3、加算器105、DAC6、VCO7を有する。このクロック倍増回路101のうち、加算器105は、実施形態1の加算器5と同様、差分値DNと前回の積分値INとを加えて新たな積分値INを算出する加算器である。

但し、この加算器105では、積分値INの算出とは別に、減算器3で算出した差分値DNが0(DN=0)であるか否かを一致検知回路1051で判断し、DN=0の場合、その指示により不揮発性メモリ1052に現在出力している積分値INを上書き記憶する。

【0093】

かくして、このクロック倍増回路101では、一旦DN=0となると、たとえ回路101の電源断の後にも、不揮発性メモリ1052に積分値INが記憶されている。この回路101のリセット後も同様である。前述したのと同様に、クロック倍増回路101では、引き込み期間以外には、通常、加算器105から出力されている積分値INは、差分値DNが0となるように制御された値となっているはずである。そして、DN=0となったときの積分値INを記憶しているので

、その後に電源が切斷されたりリセットされても不揮発性メモリ1052には、差分値DNが0となる積分値INが記憶されていることになる。

従って、この積分値INを初期積分値INSとして用いることができるから、再度の電源投入の直後あるいはリセットの直後から適切な周波数に近い周波数を持つ出力クロック信号STを出力させることができる。このため、ロックアップタイムを極めて短くすることができる。

また、初期積分値を前回の動作時に得ておくので、容易に最適な初期積分値を得ることができる。また、VCOなどの特性が経時変化した場合にもいつも適切な初期積分値を用いることができる。しかも、構成も簡単である。

【0094】

(実施形態5)

さらに、本発明の第5の実施形態について、図23を参照して説明する。上述した実施形態1～4、及び変形形態1～10は、いずれも、アナログ制御電圧生成回路4として、差分値DN（または乗算済み差分値MDN）から積分値INを算出する加算器5等と、この積分値INをアナログ制御電圧AVに変換するDAC6とを備え、このアナログ制御電圧AVによってVCO7からの出力クロック信号STの周波数を制御していた。

これに対し、本実施形態5のクロック通倍回路111は、アナログ制御電圧生成回路4として、DAC115とアナログ回路であるLPF116とを備える点で異なる。

【0095】

即ち、このクロック通倍回路111は、DAC115で差分値DNを先にアナログ電圧であるアナログ差分電圧ADVに変換しておき、その後、アナログ差分電圧ADVをLPF116において積分し、アナログ制御電圧AVをVCO7に出力する。

つまり、前記した実施形態1等では、加算器5等によって数値データ（デジタル値）を用いて先に積分を行い、その後DAC6でアナログ制御電圧AVに変換したが、本実施形態5のクロック通倍回路111では、先にDAC115でアナログ差分電圧ADVに変換しておき、その後、積分を行う。

このようにしても、アナログ制御電圧A Vを得て、VCO 7に出力することができる。

【0096】

以上において、本発明を実施形態1～5、変形形態1～10に即して説明したが、本発明は上記実施形態等に限定されるものではなく、その要旨を逸脱しない範囲で、適宜変更して適用できることはいうまでもない。

例えば、実施形態1等では、出力クロック信号STの立上がりエッジを用いてカウント値CNを得た（図6参照）。また、実施形態3では、出力クロック信号STの立上がりエッジと立下がりエッジの両方を用いてカウント値CNを得た（図7参照）。しかし、実施形態1等とは逆に、出力クロック信号STの立下がりエッジを用いてカウント値CNを得ることもできる。

また、実施形態2（図8参照）及び変形形態4、5（図9、図10参照）では、減算器3と加算器5との間に乗算器18、28、38を介在させ、加算器5では、乗算済み差分値MDNを用いて積分値INを算出した。他の実施形態等においても、乗算器を減算器と加算器との間に介在させることができる。また、実施形態5（図23参照）においても、減算器3とDAC115との間、つまり、減算器3とアナログ制御電圧生成回路4との間に、乗算器を介在させ、DAC115で乗算済み差分値MDNを用いて、アナログ制御電圧AVを発生させても良い。

【0097】

（付記1）

入力されたレファレンスクロック信号を遅倍した出力クロック信号を出力するクロック遅倍回路であって、

上記レファレンスクロック信号に基づいて与えられる所定の計数期間に上記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントしてカウント値を出力するカウンタと、

基準値と上記カウント値のいずれか一方から他方を差し引いた差分値を出力する差分器と、

上記差分値の積分値に対応するアナログ制御電圧を出力する制御電圧生成回路

と、

上記アナログ制御電圧に応じた周波数の上記出力クロック信号を出力する電圧制御発振回路と、
を備えるクロック倍増回路。

(付記2)

付記1に記載のクロック倍増回路であって、

前記カウンタは、前記レファレンスクロック信号のハイレベル期間またはロー
レベル期間のいずれかの計数期間に前記出力クロック信号の有効遷移エッジが幾
つ存在したかをカウントして前記カウント値を出力するカウンタであり、

前記カウンタ、差分器、制御電圧生成回路、及び電圧制御発振回路は、

上記カウント値が前回の値から変化したとき、上記計数期間の終了後、次の
計数期間までの間に、上記出力クロック信号の周波数が変化する応答性を有する
クロック倍増回路。

(付記3)

付記1に記載のクロック倍増回路であって、

前記カウンタは、前記レファレンスクロック信号のハイレベル期間に前記出力
クロック信号の有効遷移エッジが幾つ存在したかをカウントし、このハイレベル
期間のカウント値を出力すると共に、このハイレベル期間に続くローレベル期間
に上記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントし、この
ローレベル期間のカウント値を出力すると共に、このローレベル期間に続くハイ
レベル期間に上記出力クロック信号の有効遷移エッジが幾つ存在したかをカウン
トするというようにして、上記ハイレベル期間及び上記ローレベル期間の終了毎
にカウント値を得るカウンタであり、

前記カウンタ、差分器、制御電圧生成回路、及び電圧制御発振回路は、

上記ハイレベル期間にカウントして得た上記カウント値が1つ前に得たカウ
ント値から変化したとき、上記ハイレベル期間が終了してから次のハイレベル期
間までに、上記出力クロック信号の周波数が変化する応答性を有し、かつ、

上記ローレベル期間にカウントして得た上記カウント値が1つ前に得たカウ
ント値から変化したとき、上記ローレベル期間が終了してから次のローレベル期

間までに、上記出力クロック信号の周波数が変化する応答性を有するクロック倍増回路。

(付記4)

付記1～付記3のいずれか1項に記載のクロック倍増回路であって、

前記カウンタは、前記計数期間の終了後、前記出力クロック信号に同期して前記カウント値を出力し、

前記差分器は、前記計数期間の終了後、前記出力クロック信号に同期して前記差分値を出力し、

前記制御電圧生成回路は、前記計数期間の終了後、前記出力クロック信号に同期して前記アナログ制御電圧を出力する

クロック倍増回路。

(付記5)

付記1～付記4のいずれか1項に記載のクロック倍増回路であって、

前記カウンタは、前記出力クロック信号の立ち上がりエッジ及び立ち下がりエッジの両者を前記有効遷移エッジとする

クロック倍増回路。

(付記6)

付記1～付記5のいずれか1項に記載のクロック倍増回路であって、

前記差分器と前記制御電圧生成回路との間に、前記差分値を所定倍して上記制御電圧生成回路に入力する乗算器を備える

クロック倍増回路。

(付記7)

付記6に記載のクロック倍増回路であって、

前記乗算器は、前記差分値を所定量ビットシフトするシフトレジスタによって構成されてなる

クロック倍増回路。

(付記8)

付記6または付記7に記載のクロック倍増回路であって、

前記乗算器は、その倍率を可変としてなる

クロック遅倍回路。

(付記9)

付記8に記載のクロック遅倍回路であって、

前記乗算器の倍率を制御する倍率制御手段を備え、

上記倍率制御手段は、

引き込み期間には、上記乗算器の倍率を相対的に高くし、

上記引き込み期間終了後には、上記乗算器の倍率を相対的に低くする
クロック遅倍回路。

(付記10)

付記1～付記9のいずれか1項に記載のクロック遅倍回路であって、

前記差分器は、前記基準値を変更可能としてなる

クロック遅倍回路。

(付記11)

付記10に記載のクロック遅倍回路であって、

前記差分器は、

前記基準値を記憶する基準値記憶手段であって、外部から上記基準値をこの
基準値記憶手段に記憶させ得るように構成されてなる基準値記憶手段を備える
クロック遅倍回路。

(付記12)

付記1～付記11のいずれか1項に記載のクロック遅倍回路であって、

前記制御電圧生成回路は、

前回得られた積分値に前記差分値を加えて新たな積分値とする積分器と、

上記積分値を前記アナログ制御電圧に変換するDA変換回路と、を含む
クロック遅倍回路。

(付記13)

付記12に記載のクロック遅倍回路であって、

このクロック遅倍回路への電力投入後またはリセット後に前記積分器で用いる
初期積分値を取得する初期積分値取得手段を備える
クロック遅倍回路。

(付記14)

付記12に記載のクロック倍回路であって、

前記初期積分値取得手段は、

前記積分器からの前記積分値に代えて、疑似積分値を前記DA変換回路に入力する疑似積分値発生手段であって、入力する疑似積分値を順に変化させる疑似積分値発生手段と、

上記疑似積分値毎に、その値、及び、前記計数期間に上記疑似積分値に基づいて出力された前記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントして得られた疑似カウント値、を対応づけて記憶する疑似値記憶手段と、

を備え、

前記基準値に等しいまたは最も近い疑似カウント値に対応する疑似積分値を前記初期積分値とする

クロック倍回路。

(付記15)

付記12に記載のクロック倍回路であって、

前記初期積分値取得手段は、

前記積分器からの前記積分値に代えて、疑似積分値を前記DA変換回路に入力する疑似積分値発生手段と、

前記基準値と前記計数期間に上記疑似積分値に基づいて出力された前記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントして得られた疑似カウント値とを用いて算出した疑似差分値が、0を含む所定数値範囲内に属するか否かを判断し、

上記疑似差分値が上記所定数値範囲に属しないときには、上記疑似積分値発生手段をして、次に算出される疑似差分値が現在の疑似差分値より0に近づくように上記疑似積分値を変更して前記DA変換回路に入力させ、

上記疑似差分値が上記所定数値範囲に属するときには、現在の疑似積分値を前記初期積分値とする

判断手段と、を備える

クロック倍回路。

(付記16)

付記12に記載のクロック通倍回路であって、

前記初期積分値取得手段は、

前記積分器で算出した前記積分値を順次上書き記憶する不揮発性メモリである

クロック通倍回路。

(付記17)

付記12に記載のクロック通倍回路であって、

前記初期積分値取得手段は、

このクロック通倍回路への電源切斷時（所定の事態発生時）に、前記積分器で算出された現在の積分値を、不揮発性メモリに記憶する前回積分値記憶手段である

クロック通倍回路。

(付記18)

付記12に記載のクロック通倍回路であって、

前記初期積分値取得手段は、

このクロック通倍回路の前回使用時において、前記レファレンスクロック信号を通倍した前記出力クロック信号が出力されていたときに使用されていた前記積分値を記憶する前回積分値記憶手段である

クロック通倍回路。

(付記19)

付記1～付記18のいずれか1項に記載のクロック通倍回路であって、

前記制御電圧生成回路は、

前記差分値を前記アナログ差分電圧に変換するDA変換回路と、

上記アナログ差分電圧をアナログ積分して、前記アナログ制御電圧を得るアナログ積分回路と、を含む

クロック通倍回路。

(付記20)

入力されたレファレンスクロック信号を通倍した出力クロック信号を出力するク

ロック通倍回路であって、

上記レファレンスロック信号に基づいて与えられる所定の計数期間に上記出力クロック信号の有効遷移エッジが幾つ存在したかをカウントしてカウント値を出力するカウンタと、

上記出力クロック信号を出力する発振回路と、

上記カウント値が所定の基準値と等しくなるように、上記発振回路における上記出力クロック信号の周波数を制御する発振制御回路と、
を備えるクロック通倍回路。

(付記21)

付記20に記載のクロック通倍回路であって、

前記発信制御回路は、前記カウンタ値をデジタル的にまたはアナログ的に積分する積分手段を含む
クロック通倍回路。

【図面の簡単な説明】

【図1】

従来の通倍PLL回路の構成を示すブロック図である。

【図2】

実施形態1にかかるクロック通倍回路の構成を示すブロック図である。

【図3】

実施形態1にかかるクロック通倍回路の各部の動作を示すタイムチャートである。

【図4】

変形形態1にかかるクロック通倍回路の各部の動作を示すタイムチャートである。

【図5】

変形形態2にかかるクロック通倍回路の各部の動作を示すタイムチャートである。

【図6】

出力クロック信号の立上がりエッジをカウントして制御しているときの出力ク

ロックの揺らぎを説明する説明図である。

【図7】

変形形態3にかかり、出力クロック信号の立上がりエッジ及び立下がりエッジの両方でカウントして制御しているときの出力クロックの揺らぎを説明する説明図である。

【図8】

実施形態2にかかるクロック倍回路の構成を示すブロック図である。

【図9】

変形形態4にかかるクロック倍回路の構成を示すブロック図である。

【図10】

変形形態5にかかるクロック倍回路の構成を示すブロック図である。

【図11】

実施形態3にかかるクロック倍回路の構成を示すブロック図である。

【図12】

実施形態3にかかるクロック倍回路のうち減算器の構成を示す説明図である

【図13】

変形形態6にかかるクロック倍回路の構成を示すブロック図である。

【図14】

変形形態6にかかるクロック倍回路のうち減算器の構成を示す説明図である

【図15】

実施形態4にかかるクロック倍回路の構成を示すブロック図である。

【図16】

実施形態4にかかるクロック倍回路において初期積分値を得る手順を示すフローチャートである。

【図17】

実施形態4にかかり、レジスタへの疑似積分値及び疑似カウンタ値の格納例を示す図である。

【図18】

変形形態7にかかるクロック倍増回路の構成を示すブロック図である。

【図19】

変形形態7にかかるクロック倍増回路において初期積分値を得る手順を示すフローチャートである。

【図20】

変形形態8にかかるクロック倍増回路の構成を示すブロック図である。

【図21】

変形形態9にかかるクロック倍増回路の構成を示すブロック図である。

【図22】

変形形態10にかかるクロック倍増回路の構成を示すブロック図である。

【図23】

実施形態5にかかるクロック倍増回路の構成を示すブロック図である。

【符号の説明】

1, 1A, 1B, 1C, 11, 21, 31, 41, 51, 61, 71, 81, 9

1, 101, 111 クロック倍増回路

2 カウンタ

3, 43, 53 減算器（差分器）

4 アナログ制御電圧生成回路（制御電圧生成回路）

5, 65, 75, 85, 95, 105 加算器（積分器、積分手段）

6, 115 DAコンバータ（D/A, D/A変換回路）

7 電圧制御発振回路（VCO）

8 発振制御回路

18, 28, 38 乗算器

381 倍率レジスタ

431, 531 減算器

432, 433, 532 基準値レジスタ

434 切換器

435 切換制御回路

651 初期積分値レジスタ

67, 77, 852, 953, 1053 初期積分値取得手段

68, 78 疑似積分値発生回路

69 レジスタ

79 判定器

851 加算器

852, 952, 1052 不揮発性メモリ

951 電源断検知回路

1051 一致検知回路

116 ローパスフィルタ (LPF、アナログ積分回路、積分手段)

SR レファレンスクロック信号

ST 出力クロック信号

CN, CN1, CN3, CN3 カウント値

DN, DN1, DN2, DN3 差分値

IN, IN1, IN2, IN3 積分値

INS 初期積分値

AV, AV1, AV2, AV3 アナログ制御電圧

ADV アナログ差分電圧

MDN 乗算済み差分値

L, L1, L2 倍率

MCONT 倍率制御信号

BN, BN1, BN2 基準値

BNCNT 基準値制御信号

QIN 疑似積分値

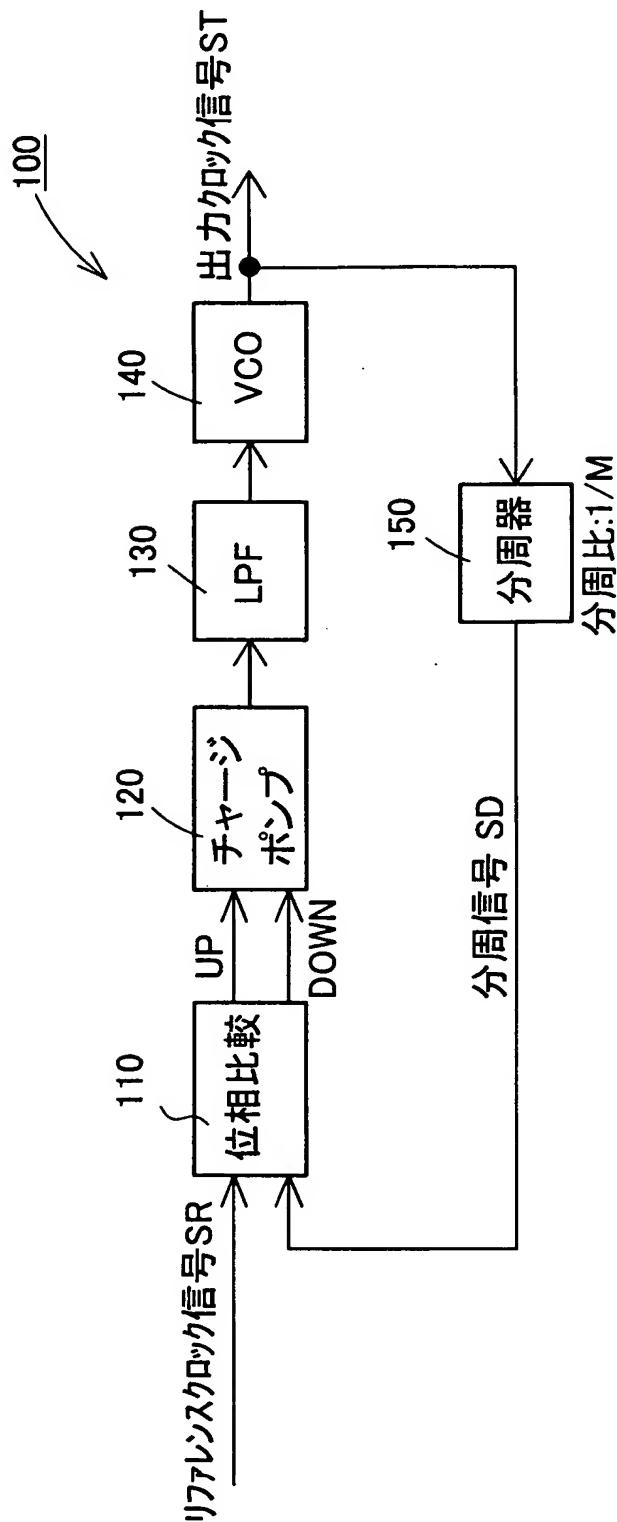
QCN 疑似カウント値

QDN 疑似差分値

【書類名】図面

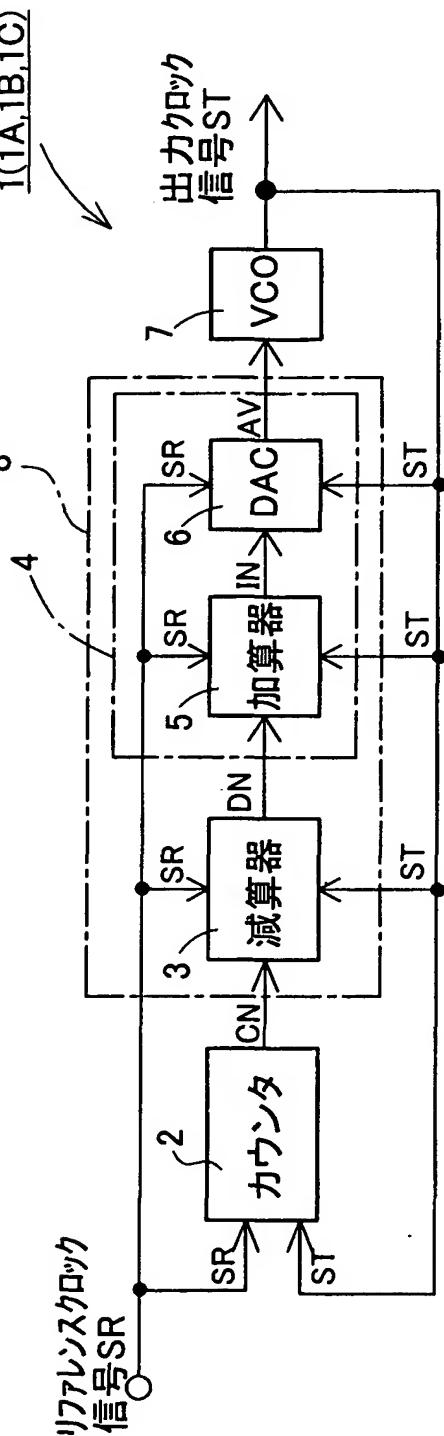
【図1】

従来の遅倍PLL回路の構成を示すブロック図



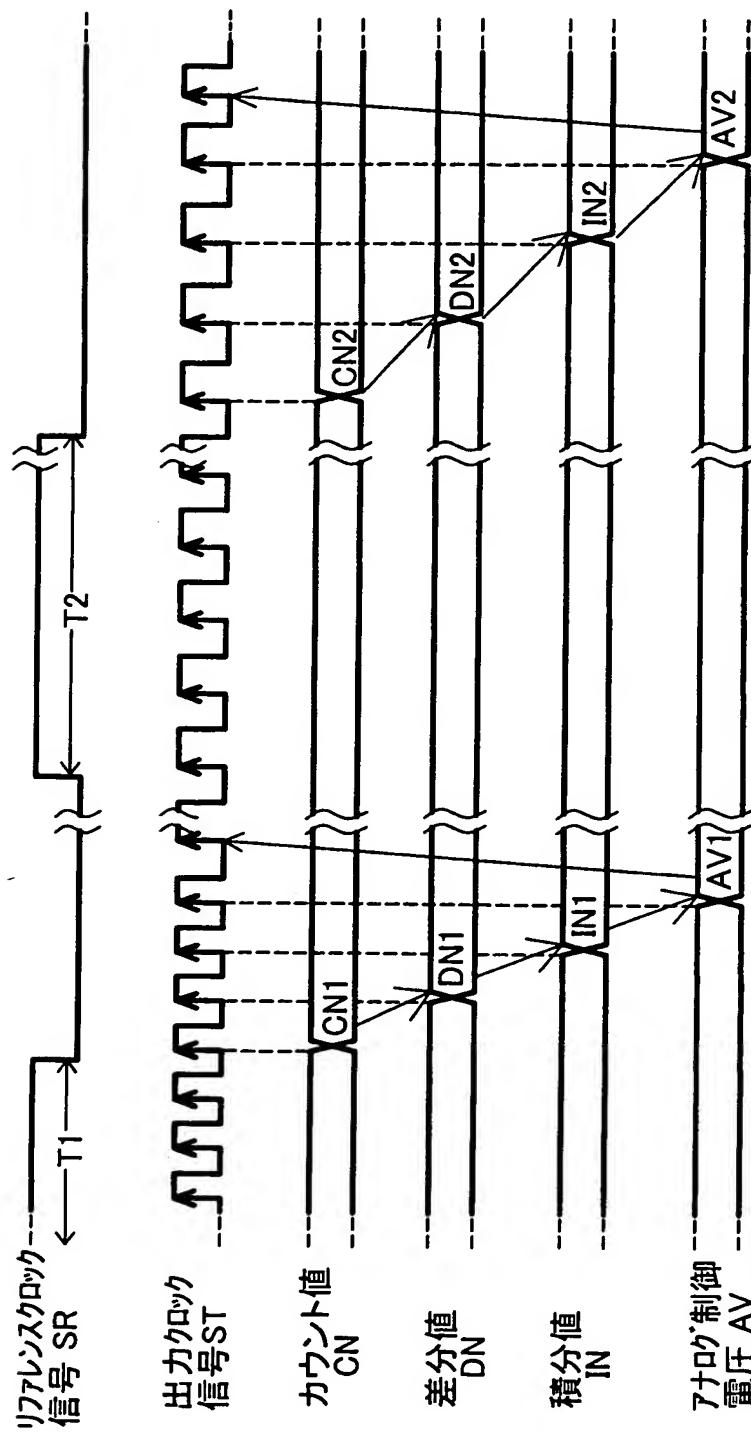
【図2】

実施形態1にかかるクロック倍増回路の構成を示すブロック図



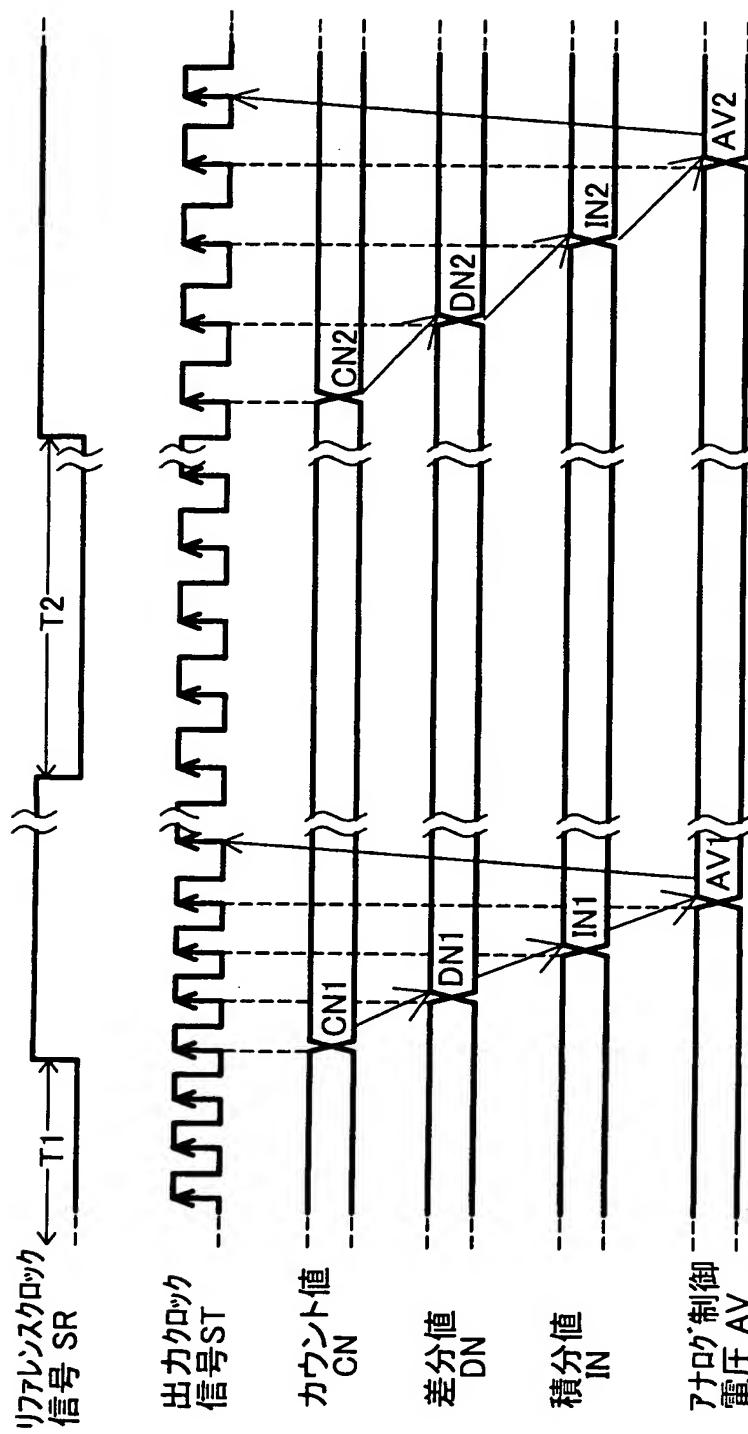
【図3】

実施形態1にかかるクロック遅倍回路の各部の動作を示すタイムチャート



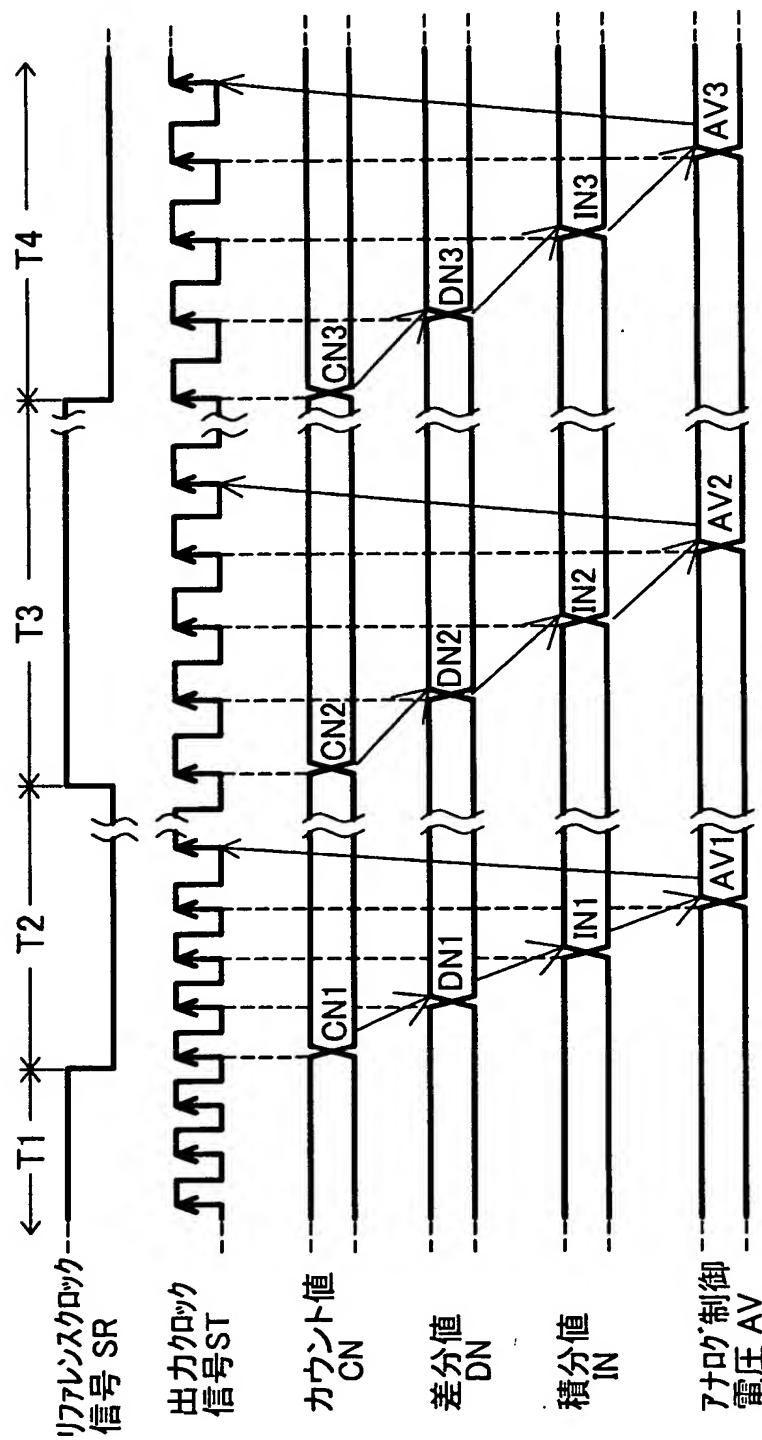
【図4】

変形形態1にかかるクロック遅倍回路の各部の動作を示すタイムチャート



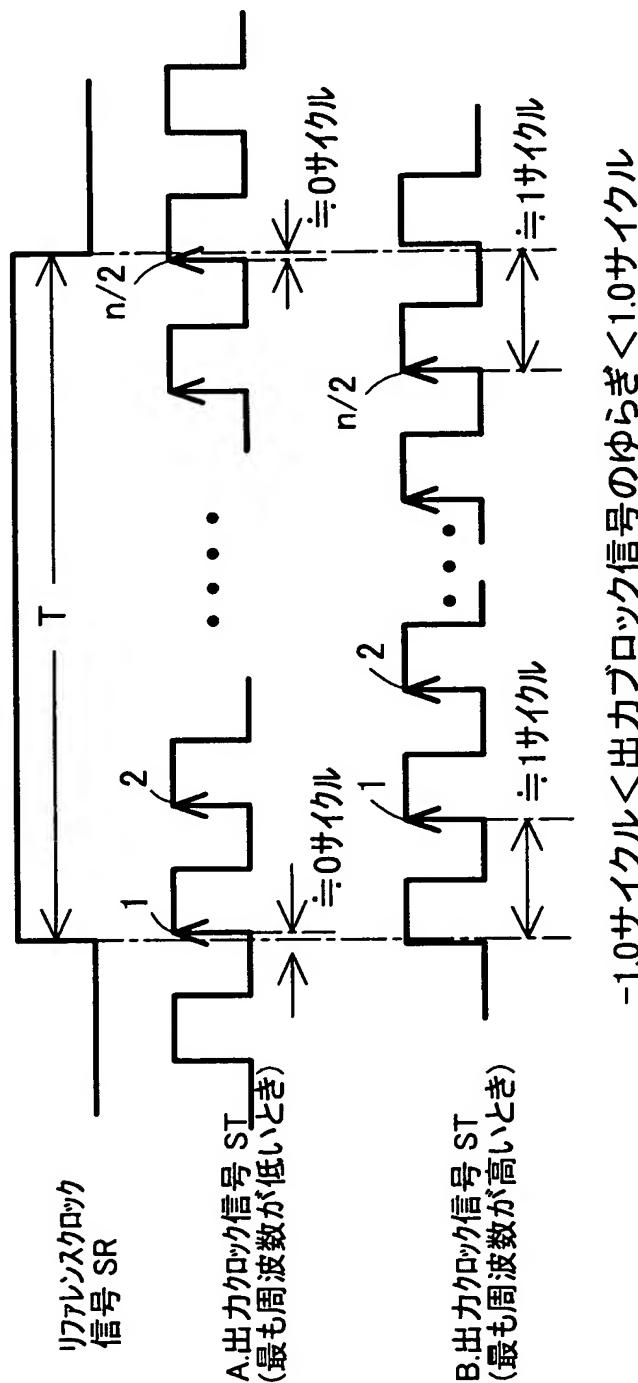
【図5】

変形形態2にかかるクロック遅倍回路の各部の動作を示すタイムチャート



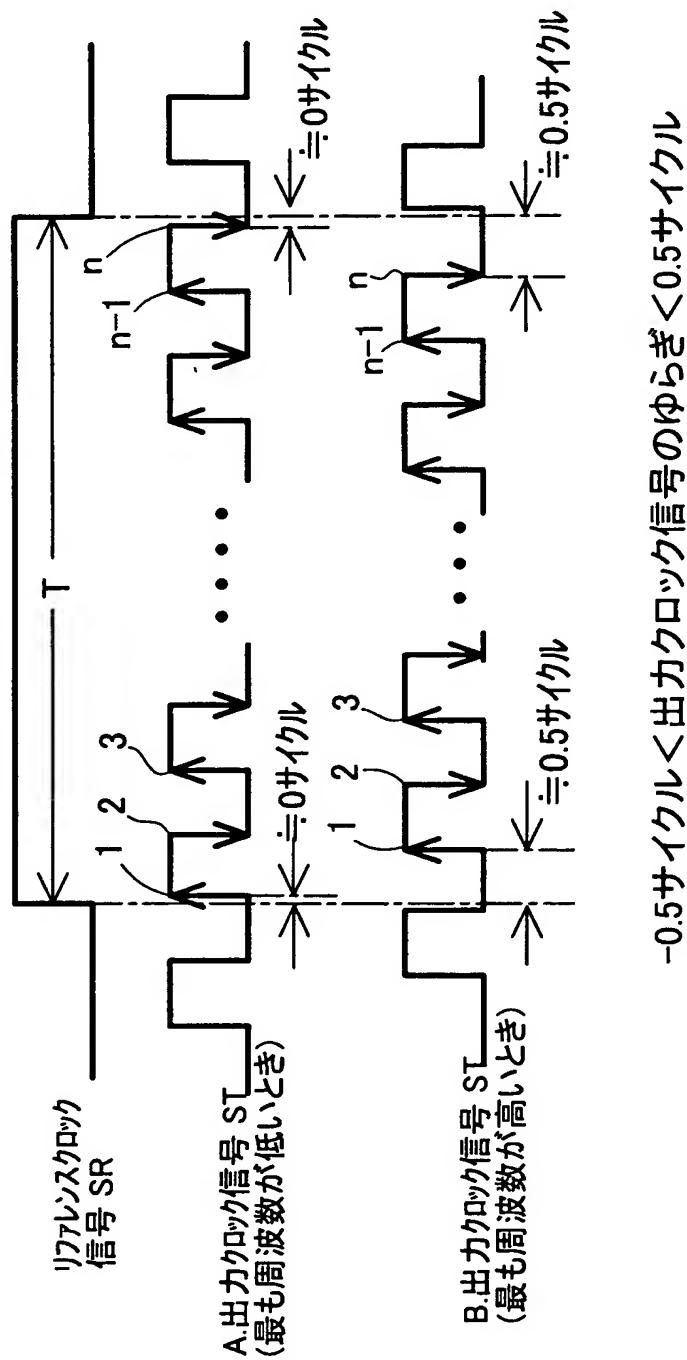
【図6】

出力クロック信号の立上りエッジをカウントして制御しているときの出力クロック信号のゆらぎを説明する説明図



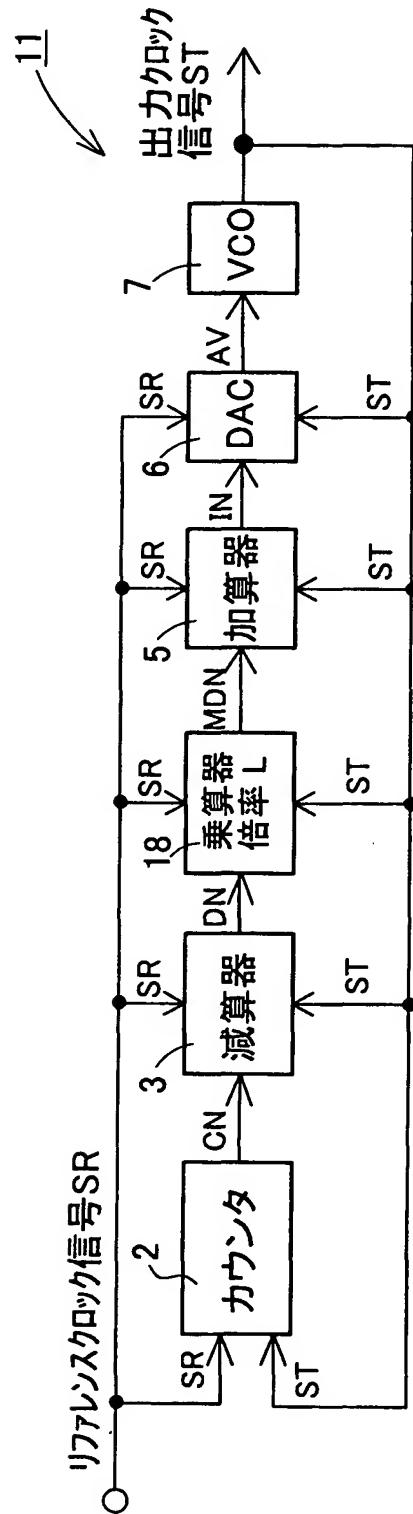
【図7】

変形形態3にかかり、出力クロック信号の立上りエッジ及び立下りエッジの両方でカウントして制御しているときの出力クロック信号のゆらぎを説明する説明図



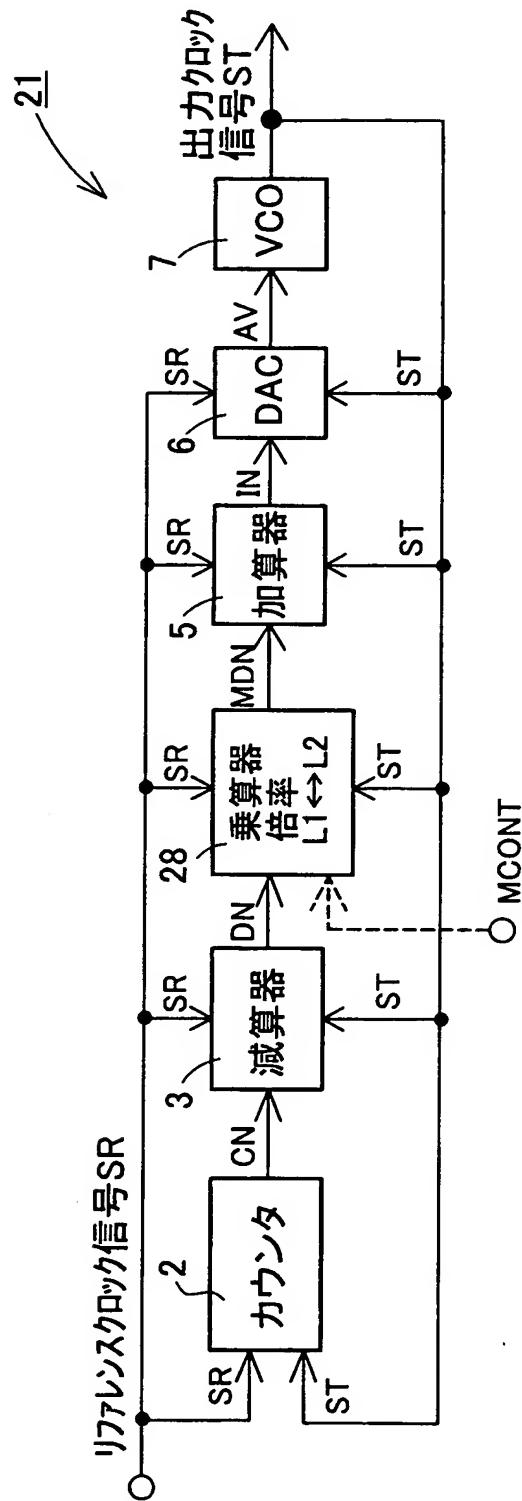
【図8】

実施形態2にかかるクロック倍回路の構成を示すブロック図



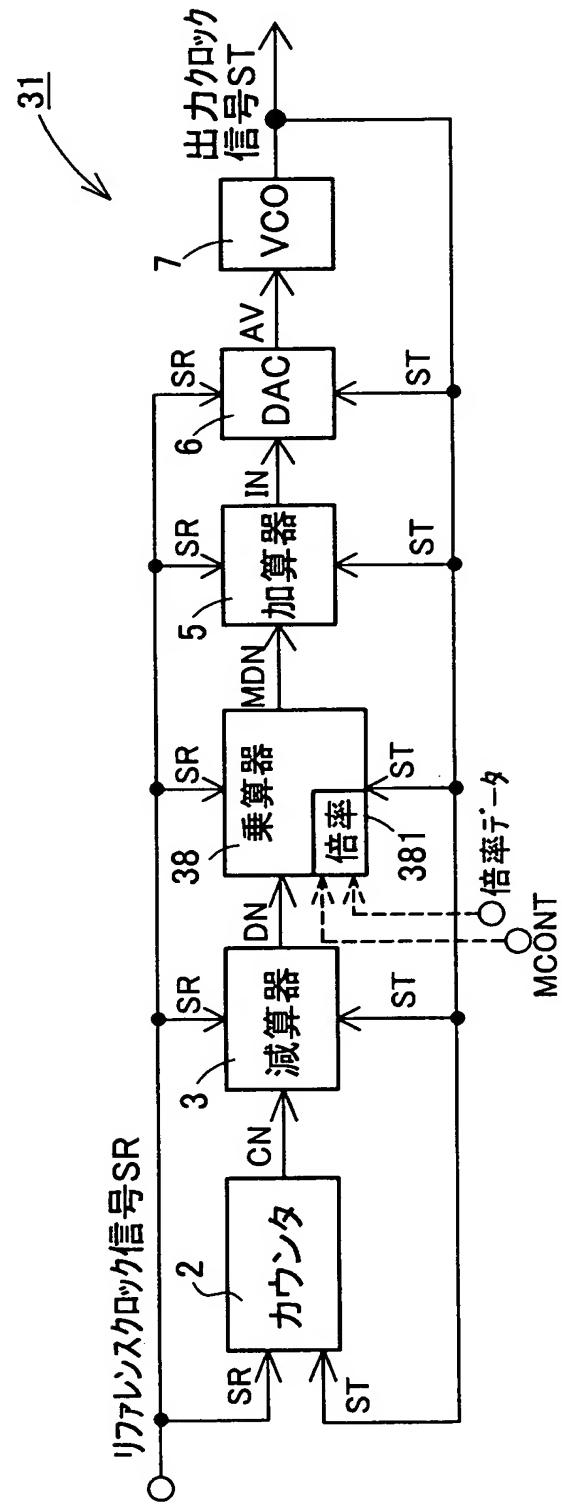
【図9】

変形形態4にかかるクロック遅倍回路の構成を示すブロック図



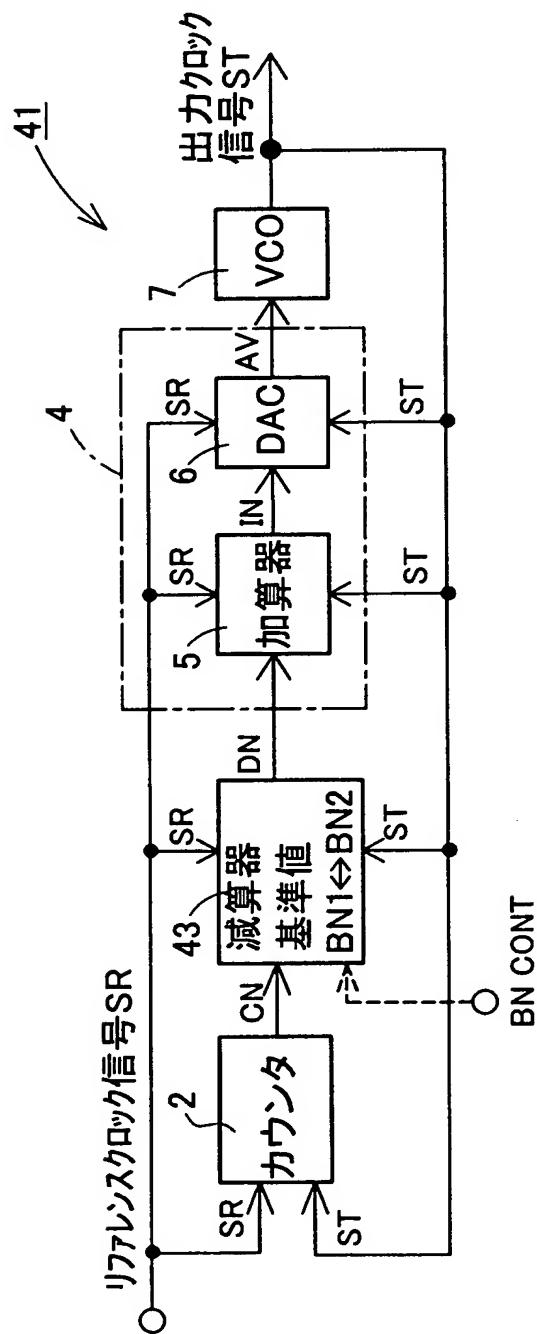
【図10】

変形形態5にかかるクロック遅倍回路の構成を示すブロック図



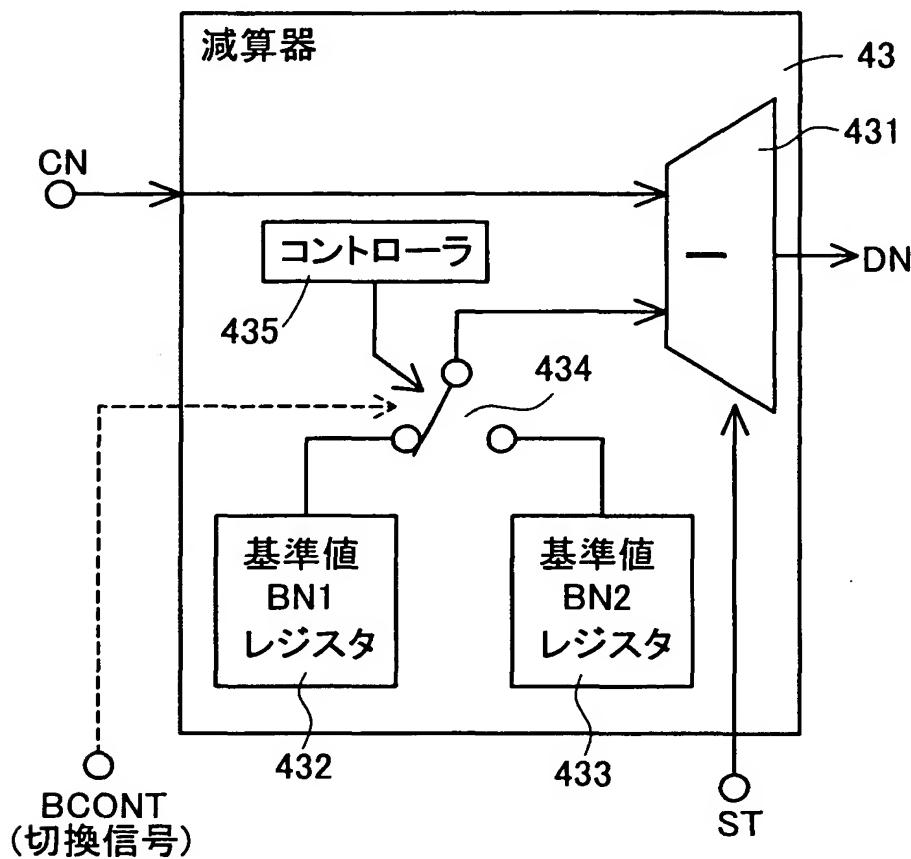
【図11】

実施形態3にかかるクロック倍増回路の構成を示すブロック図



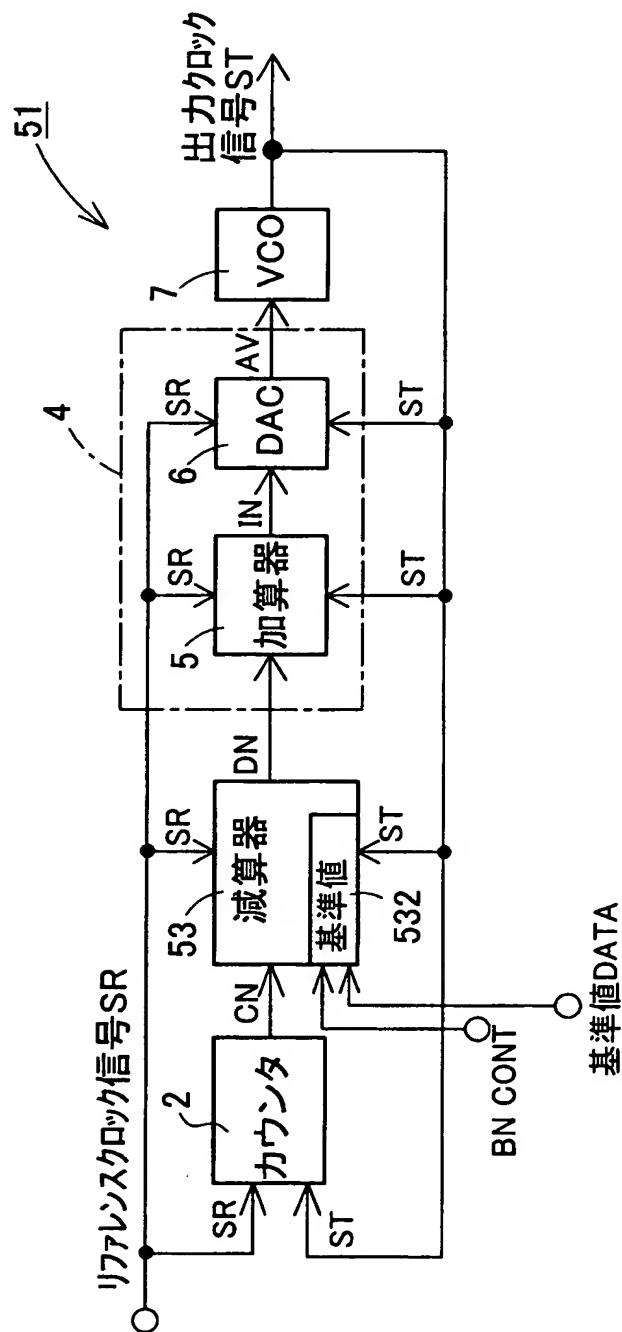
【図12】

実施形態3にかかるクロック遅倍回路のうち減算器の構成を示す説明図



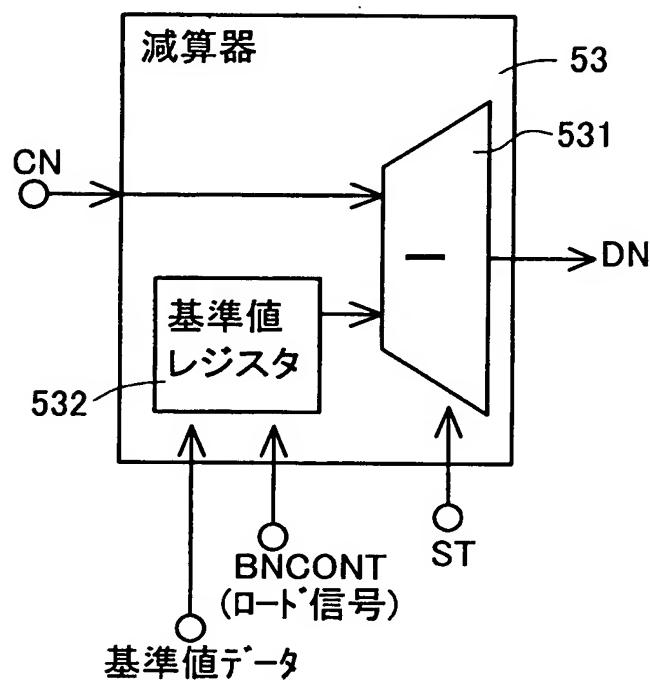
【図13】

変形形態6にかかるクロック遅倍回路の構成を示すブロック図



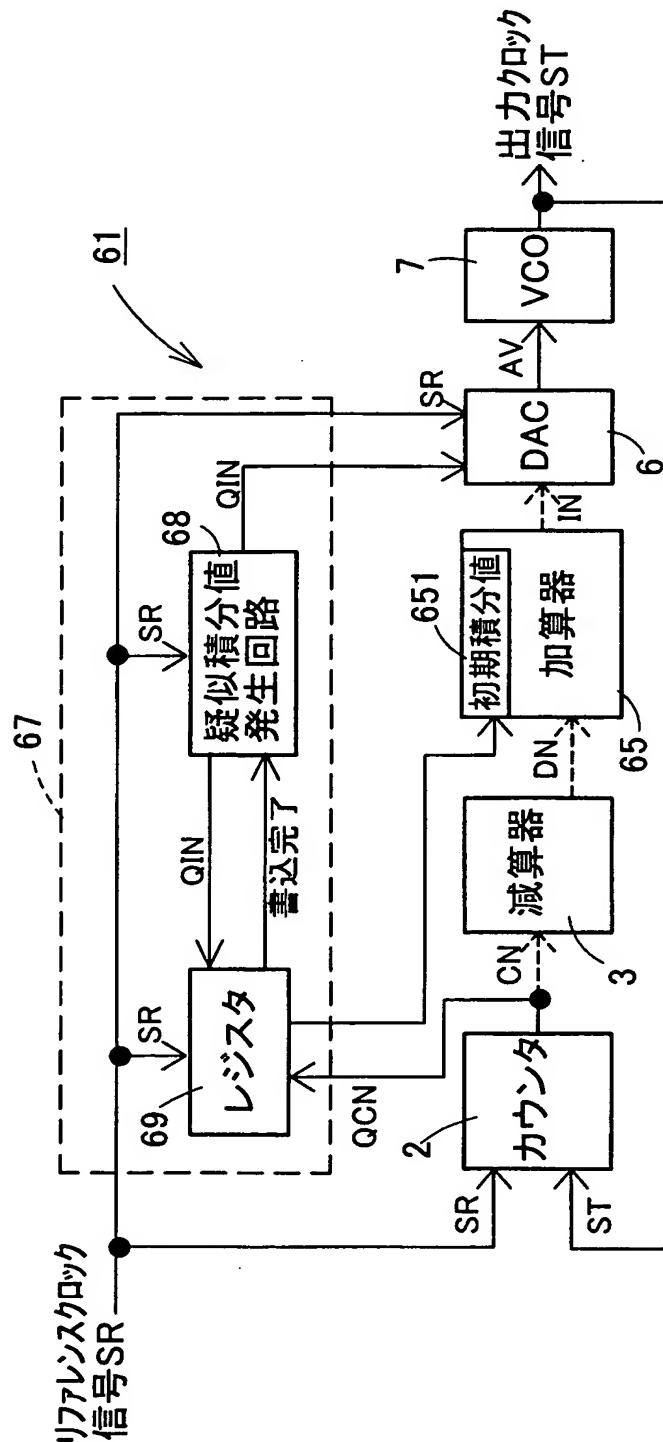
【図14】

変形形態6にかかるクロック遅倍回路のうち減算器の構成を示す説明図



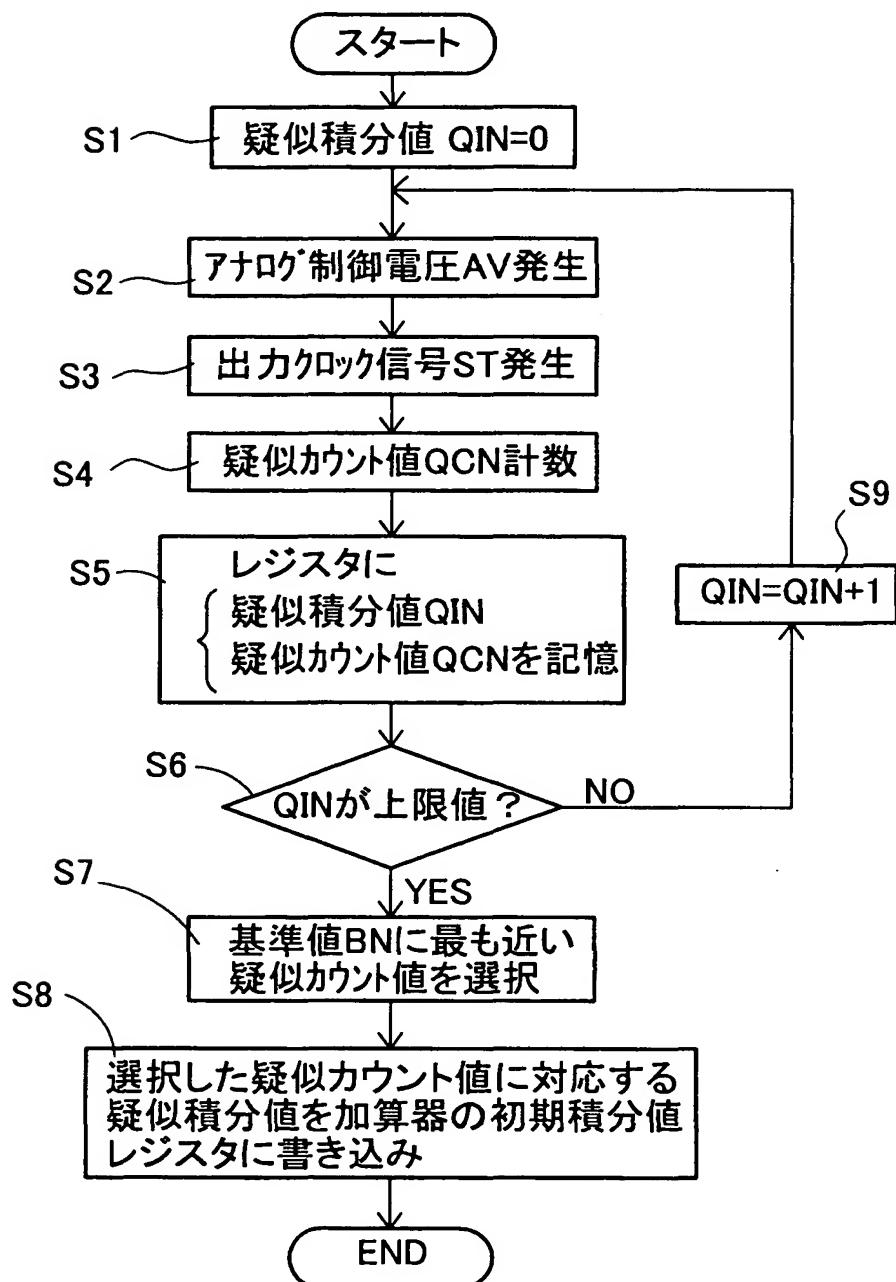
【図15】

実施形態4にかかるクロック遅倍回路の構成を示すブロック図



【図16】

実施形態4にかかるクロック倍回路において初期積分値を得る手順を示すフローチャート



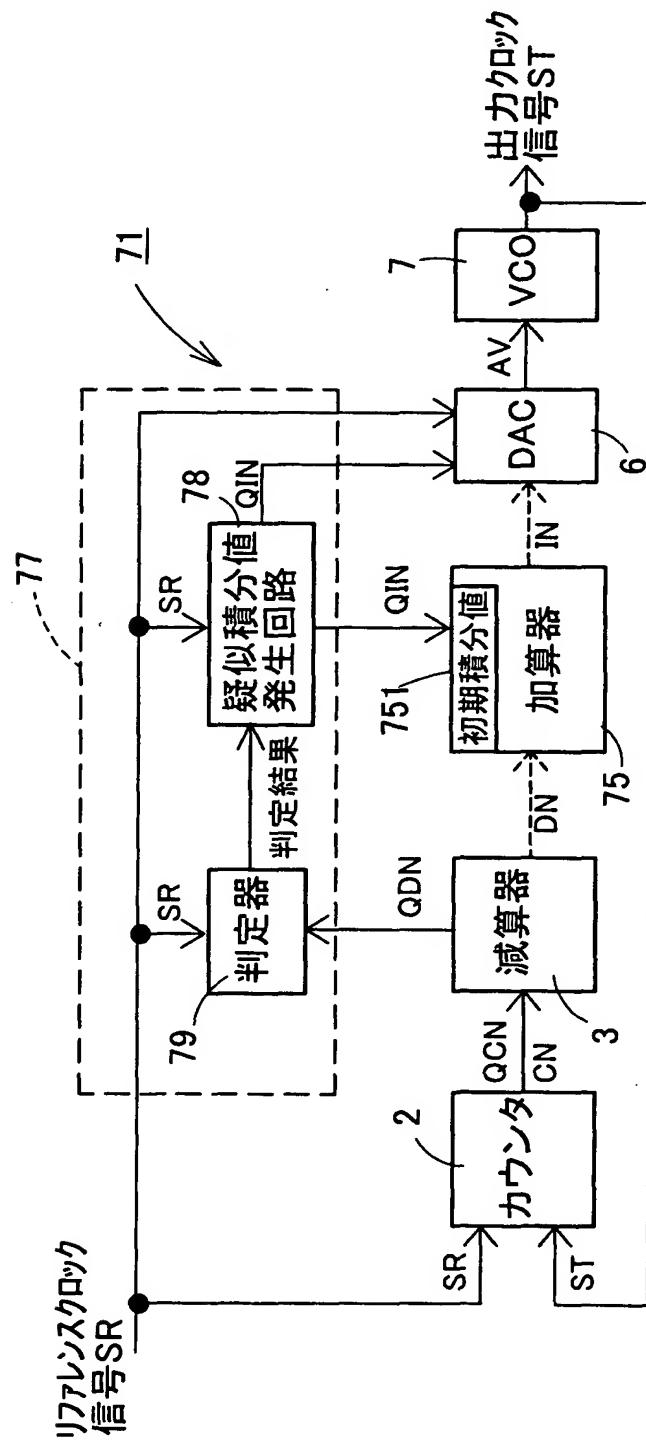
【図17】

実施形態4にかかり、レジスタへの疑似積分値及び
疑似カウンタ値の格納例を示す図

アドレス	疑似積分値QIN	疑似カウント値QCN
00h	00000000	00000110
01h	00000001	00000111
02h	00000002	00001001
03h	00000003	00001010
⋮	⋮	⋮
⋮	⋮	⋮
⋮	⋮	⋮
FEh	11111110	01101100
FFh	11111111	01101110

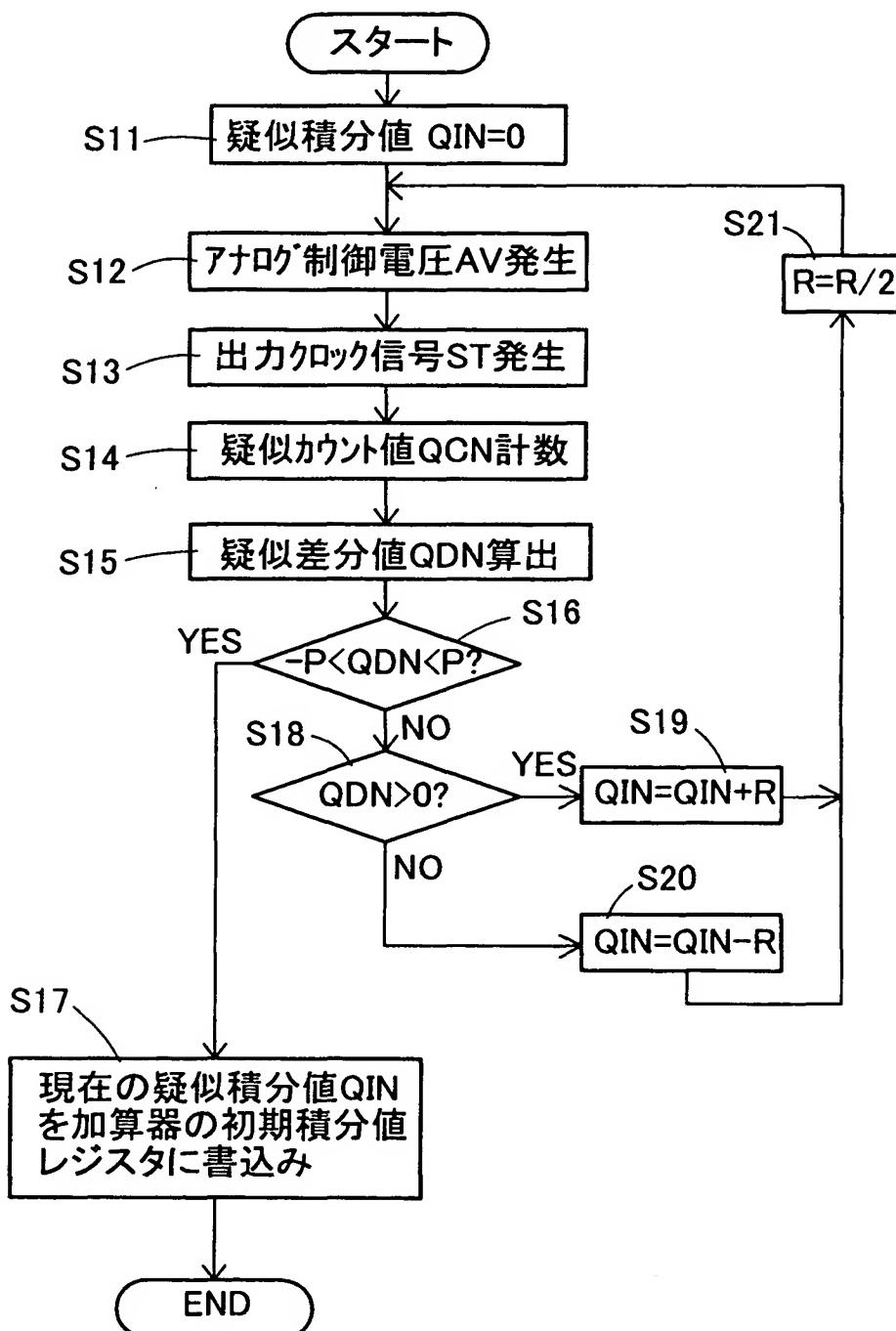
【図18】

変形形態7にかかるクロック遅倍回路の構成を示すブロック図



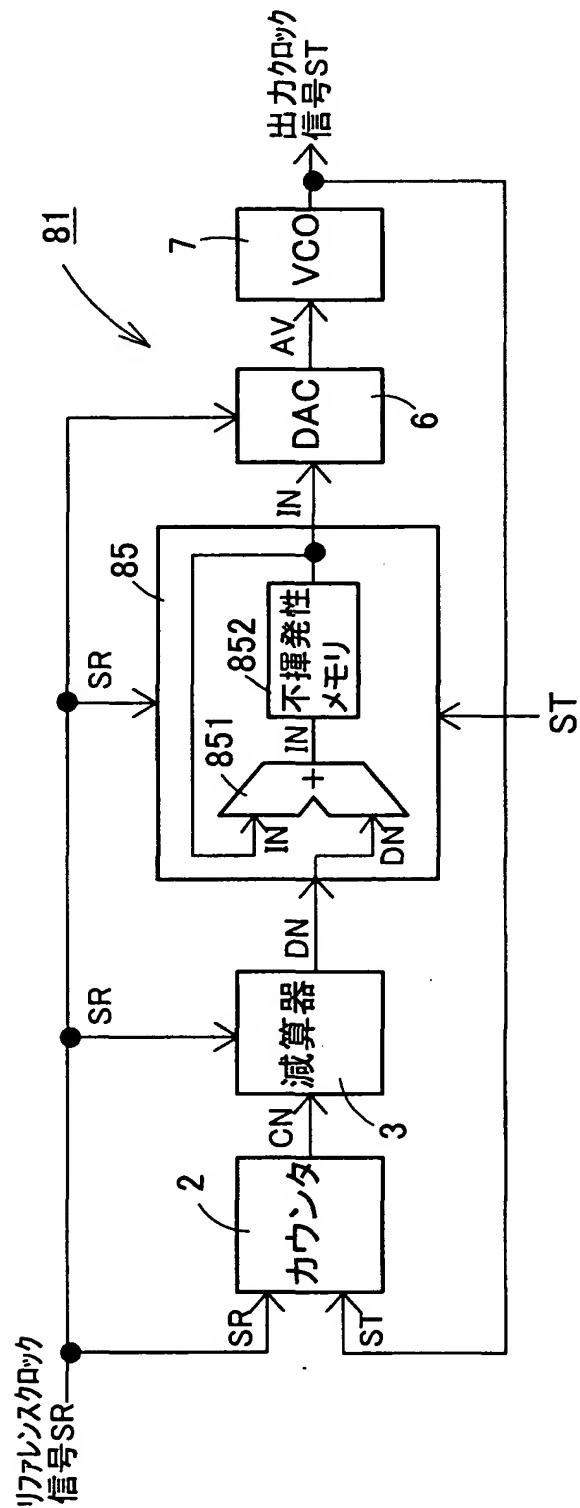
【図19】

変形形態7にかかるクロック遅倍回路において初期積分値を得る手順を示すフローチャート



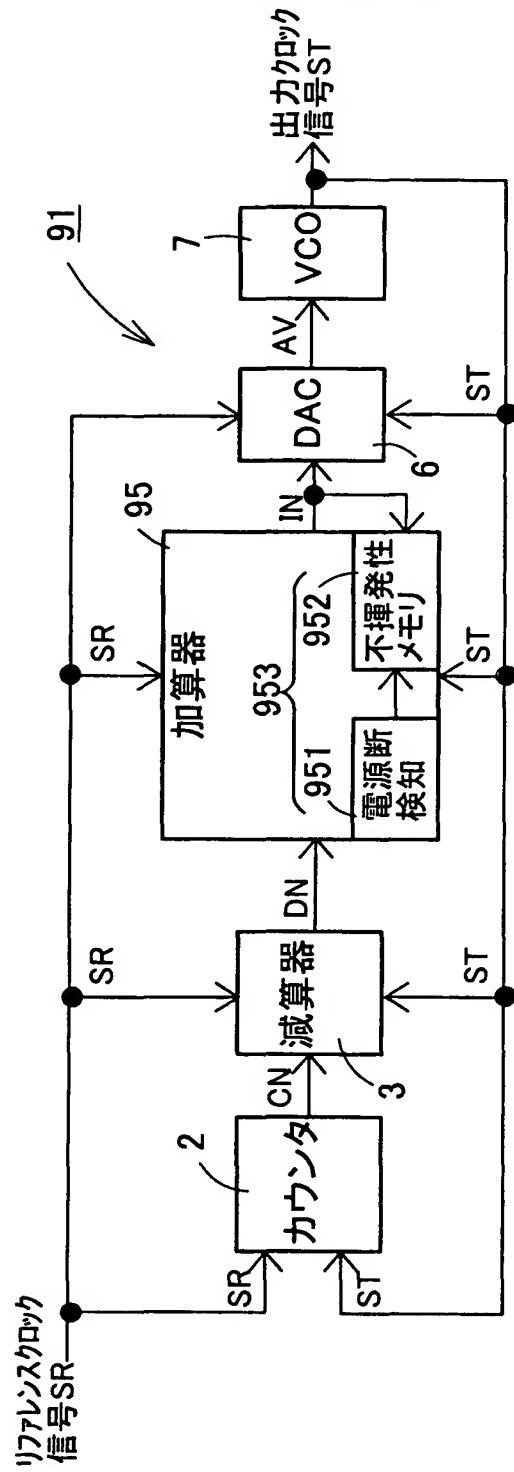
【図20】

変形形態8にかかるクロック遅倍回路の構成を示すブロック図



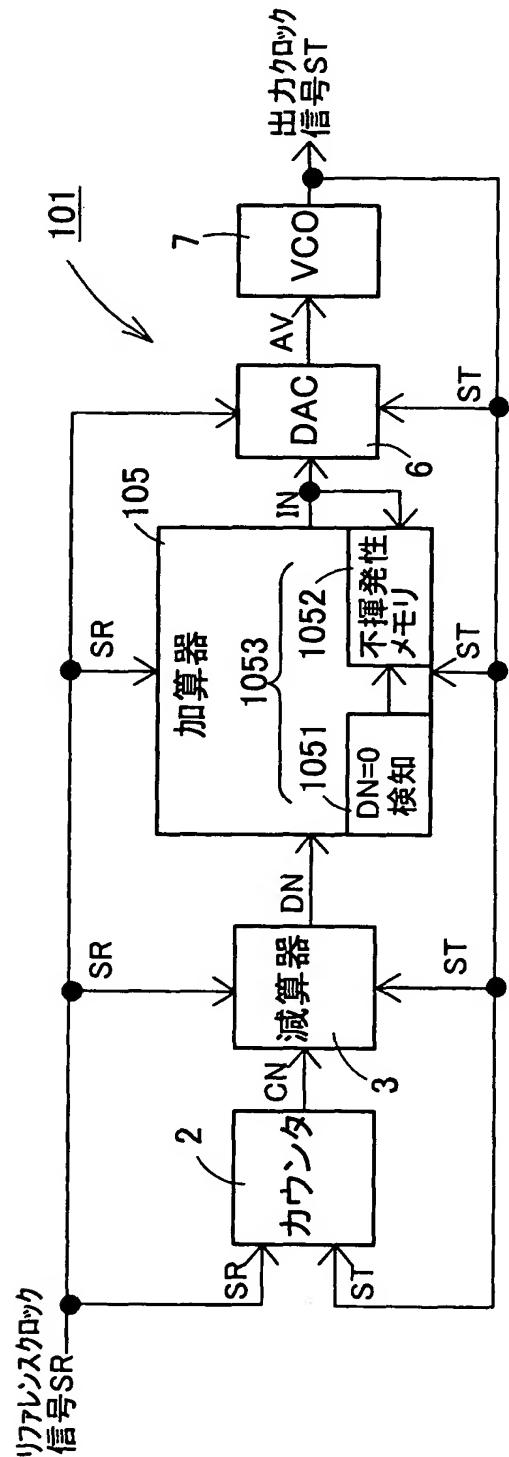
【図21】

変形形態9にかかるクロック遅倍回路の構成を示すブロック図



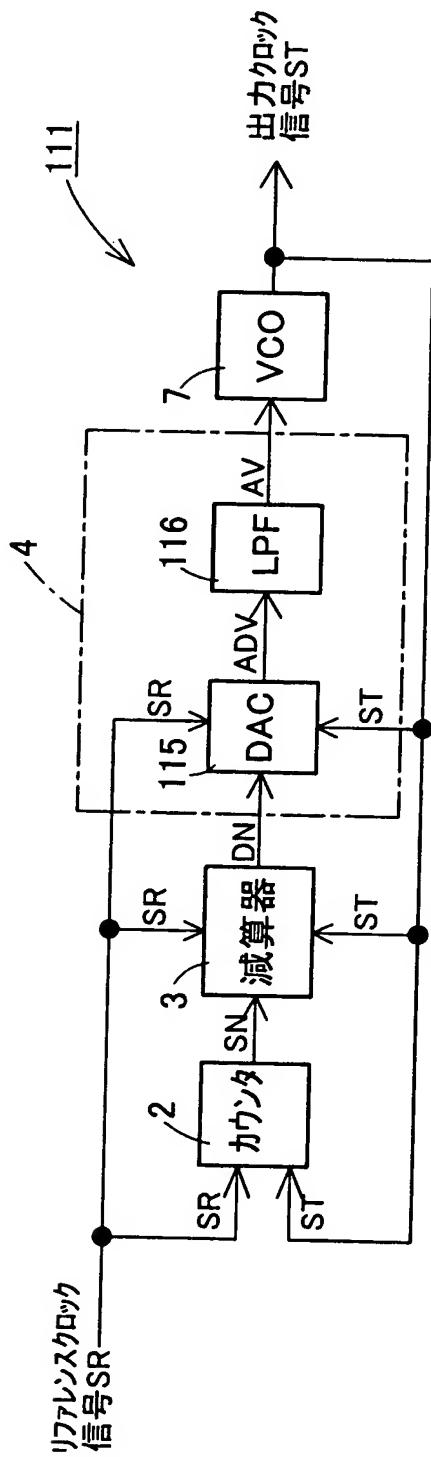
【図22】

変形形態10にかかるクロック遅倍回路の構成を示すブロック図



【図23】

実施形態5にかかるクロック遅倍回路の構成を示すブロック図



【書類名】 要約書

【要約】

【課題】 簡単な構成を有するクロック倍増回路、回路の特性調整が容易なクロック倍増回路、ロックアップタイムも短縮できるクロック倍増回路を提供する。

【解決手段】 クロック倍増回路1は、入力されたレファレンスクロック信号SRを倍増した出力クロック信号STを出力する回路である。このうち、カウンタ2は、レファレンスクロック信号SRのハイレベル期間に出力クロック信号STの立ち上がりエッジが幾つ存在したかを計数しカウント値CNを出力する。減算器3は、基準値BNからカウント値CNを差し引いて差分値DNを出力する。加算器5は、前回の積分値INに差分値DNを加えて新たな積分値INを算出する。DAC6は積分値INに対応するアナログ制御電圧AVを出力する。VCO8は、アナログ制御電圧AVに応じた周波数の出力クロック信号STを出力する。この回路1では、 $DN = CN - BN = 0$ となるように、出力クロック信号STの周波数が制御される。

【選択図】 図2

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社